

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年9月15日 (15.09.2005)

PCT

(10) 国際公開番号
WO 2005/086170 A1

(51) 国際特許分類⁷: G11C 11/15, H01L 27/10

(21) 国際出願番号: PCT/JP2005/003482

(22) 国際出願日: 2005年3月2日 (02.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-061595 2004年3月5日 (05.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

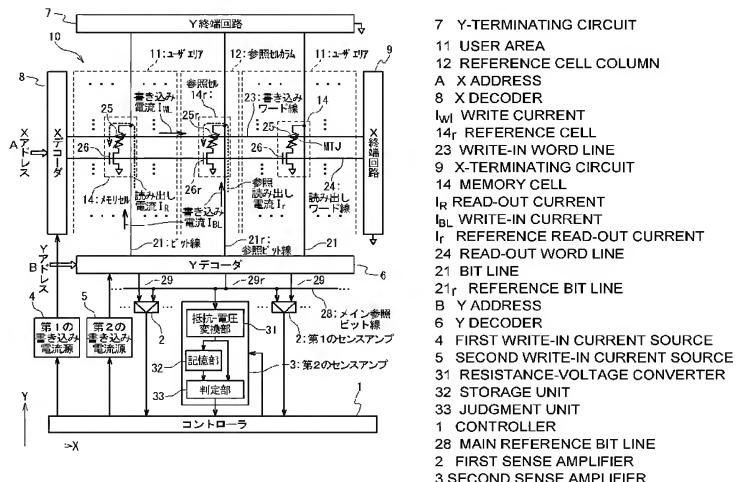
(75) 発明者/出願人(米国についてのみ): 崎村 昇
(SAKIMURA, Noboru) [JP/JP]; 〒1088001 東京都港
区芝五丁目7番1号 日本電気株式会社内 Tokyo
(JP). 杉林 直彦 (SUGIBAYASHI, Tadahiko) [JP/JP]; 〒
1088001 東京都港区芝五丁目7番1号 日本電気株
式会社内 Tokyo (JP). 本田 雄士 (HONDA, Takeshi)
[JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日
本電気株式会社内 Tokyo (JP).

(74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京
都品川区南大井六丁目24番10号カドヤビル6階
Tokyo (JP).

[続葉有]

(54) Title: TOGGLE TYPE MAGNETIC RANDOM ACCESS MEMORY

(54) 発明の名称: トグル型磁気ランダムアクセスメモリ



7 Y-TERMINATING CIRCUIT
11 USER AREA
12 REFERENCE CELL COLUMN
A X ADDRESS
8 X DECODER
 I_{W1} WRITE CURRENT
14_r REFERENCE CELL
23 WRITE-IN WORD LINE
9 X-TERMINATING CIRCUIT
14 MEMORY CELL
 I_R READ-OUT CURRENT
 I_{W2} WRITE-IN CURRENT
 I_{R1} REFERENCE READ-OUT CURRENT
24 READ-OUT WORD LINE
21 BIT LINE
21_r REFERENCE BIT LINE
B Y ADDRESS
6 Y DECODER
4 FIRST WRITE-IN CURRENT SOURCE
5 SECOND WRITE-IN CURRENT SOURCE
31 RESISTANCE-VOLTAGE CONVERTER
32 STORAGE UNIT
33 JUDGMENT UNIT
1 CONTROLLER
28 MAIN REFERENCE BIT LINE
2 FIRST SENSE AMPLIFIER
3 SECOND SENSE AMPLIFIER

(57) Abstract: An MRAM includes a first wiring (23), a second wiring (21 + 21r), a memory cell (14 + 14r), a second sense amplifier (3), and a first sense amplifier (2). The first wiring and the second wiring (23, 21 + 21r) extend in the first and the second direction (X, Y). The memory cell (14 + 14r) is arranged at a position corresponding to a position of the intersection between the first wiring (23) and the second wiring (21 + 21r). The second amplifier (3) detects a state of a reference cell (14r) according to an output from the reference cell (14r) arranged to correspond to a reference wiring (21r). The first sense amplifier (2) detects a state of a memory cell (14) according to an output from the memory cell (14) and the reference cell (14r). The memory cell (14 + 14r) includes a magnetic reluctance element having a built-up free layer. The magnetic reluctance element has a magnetization-enabled direction which is different from the first and the second direction (X, Y).

(57) 要約: MRAMは、第1配線(23)と第2配線(21 + 21r)とメモリセル(14 + 14r)と第2センスアンプ(3)と第1センスアンプ(2)とを備える。第1及び第2配線(23, 21 + 21r)は、第1及び第2方向(X, Y)に延伸する。メモリセル(14 + 14r)は、第1配線(23)と第2配線(21 + 21r)とが交差する位置に対応して設けられる。第2センスアンプ(3)は、参照配線(21r)に対応して設けられた参照セル(14r)からの出力に基づいて、参照セル(14r)の状態を検出する。第1センスアンプ(2)は、メモリセル(14)及び参照セル(

[続葉有]

WO 2005/086170 A1



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

トグル型磁気ランダムアクセスメモリ

技術分野

[0001] 本発明は、トグル型磁気ランダムアクセスメモリに関し、特に参照セルの信頼性向上させるトグル型磁気ランダムアクセスメモリに関する。

背景技術

[0002] 記憶素子の磁化の方向を制御することで、データを記憶する磁気ランダムアクセスメモリ(以下、「MRAM」と記す)が知られている。磁化方向の記録方法により、いくつかの種類のMRAMがある。

[0003] 第1の先行文献(米国特許6, 545, 906号公報)には、トグル型磁気ランダムアクセスメモリ(以下、「トグルMRAM」と記す)の技術が開示されている。このトグルMRAMは、その記憶素子に積層フリー層を用いた磁気抵抗素子(MTJ: Magnetic Tunneling Junction)を用いている。このトグルMRAMは、従来の典型的なMRAMと比べてメモリセルの構造とライト動作原理が異なっており、特に、書き込み動作におけるメモリセルの選択性が優れているという点に特徴がある。以下詳細に説明する。

[0004] 図1及び図2は、トグルMRAMに用いられる典型的な磁気抵抗素子の構造を示す断面図である。この磁気抵抗素子125は、第1の配線110と第2の配線101との間に設けられている。第1の配線110から順番に反強磁性層109、ピン層108、非磁性金属層107、リファレンス層106、トンネル層105、第1のフリー層104、非磁性金属層103、第2のフリー層102を具備し、第2の配線101へ接続している。

[0005] この磁気抵抗素子125は、膜厚が等しい第1及び第2のフリー層104, 102が非磁性金属層103を介して積層されている点に特徴がある。ピン層108とリファレンス層106も非磁性金属層107を介して積層されている。ピン層108及びリファレンス層106の磁化方向は製造時に強く固定されている。第1のフリー層104が持つ第1フリー層磁化の方向及び第2のフリー層102が持つ第2のフリー層磁化の方向を、第1の配線110及び第2の配線101に流れる書き込み電流が生成する磁場によって変化させる

ことが可能である。ここで、第1及び第2のフリー層磁化の方向は互いに180° 反転した反平行状態で安定であり、一方のフリー層磁化の方向が反転した場合、他方のフリー層磁化の方向も反平行状態を保つように反転する。

[0006] トグルMRAMにおけるセンス動作原理は従来の典型的なMRAMのセンス動作原理と同様である。すなわち、第1のフリー層1104とリファレンス層106とに挟まれたトンネル膜105を貫通するトンネル電流を検出して行う。リファレンス層106が持つリファレンス層磁化の方向に対して第1のフリー層磁化の方向が平行状態である場合は、反平行状態である場合よりも上記トンネル電流が増加、すなわち磁気抵抗(MTJ抵抗)が低下する。この特徴を利用してメモリセルに格納された情報を読み出す。ここで、説明の便宜上、磁気抵抗が高抵抗値Rmax(トンネル電流min.)である場合を「1」(図15)、低抵抗値Rmin(トンネル電流max.)である場合を「0」(図2)と定義する。

[0007] 例えば、第2の先行文献(米国特許6,392,923号公報)に開示されている従来のMRAMでは、予めプログラムされた複数のメモリセルを用いて合成抵抗値Rrefが $R_{min} < R_{ref} < R_{max}$ となる参照セルを構成する。そして、選択されたメモリセルの抵抗値と参照セルの抵抗値Rrefと比較することで上記メモリセルに格納されていた情報を高速にセンスしている。

[0008] 第1の先行文献によると、トグルMRAMにおけるメモリセルの平面レイアウトは、従来の典型的なMRAMのそれとは異なっている。図3は、第1の先行文献におけるメモリセルの平面レイアウトを示す上面図である。トグルMRAMにおいては、磁気抵抗素子の磁化容易軸方向が第1の配線((ライト)ワード線)が延在するX方向でも、第2の配線(ビット線)が延在するY方向でもない方向、つまり、両方向から見ておよそ45° 方向になるように配置されることに特徴がある。これは、後述するトグル動作を容易にするための配慮によるものである。

[0009] 次に、従来の典型的なMRAMとは異なるトグルMRAMの書き込み動作の原理について説明する。従来の典型的なMRAMの書き込み動作は、書き込みをしようとする情報に応じてビット線の書き込み電流方向を制御することによフリーリー層磁化の方向を確定する。これに対し、第1の先行文献に開示されるトグルMRAMの書き込み動作は、予め選択メモリセルの読み出しを実行しておき、その読み出した情報を書き込

みをしようとする情報に対して第1及び第2のフリー層磁化の方向を変化させるか否か(トグル動作させるか否か)で行われる。すなわち、読み出した情報(「0」又は「1」と書き込みをしようとする情報(「0」又は「1」とが等しい場合にはトグル動作を行わず、読み出した情報と書き込みをしようとする情報とが異なる場合にはトグル動作を行う。

[0010] 図4～図6は、第1の先行文献におけるトグルMRAMにおけるトグル動作原理を示す図である。図4は、トグル動作における書き込み電流 I_{WL} 及び書き込み電流 I_{BL} のタイミングを示すタイミングチャートである。図5及び図6は、トグル動作における第1及び第2のフリー層磁化の方向の変化を示す図である。細い矢印は第2のフリー層磁化の方向を示し、太い矢印は第1のフリー層磁化の方向を示す。図5は、データ「0」が格納された磁気抵抗素子にデータ「1」を書き込む場合である。図6は、データ「1」が格納された磁気抵抗素子にデータ「0」を書き込む場合である。

[0011] 図3を参照して、トグル動作は、時刻t1で書き込みワード線に書き込み電流 I_{WL} を供給する。時刻t2でビット線に書き込み電流 I_{BL} を供給する。時刻t3で書き込み電流 I_{WL} を停止させる。そして、時刻t4で書き込み電流 I_{BL} を停止させる。以上の一連の電流制御により、書き込み電流 I_{WL} が供給される選択(書き込み)ワード線と書き込み電流 I_{BL} が供給される選択ビット線の交点には回転磁場が加わり、第1及び第2のフリー層磁化の方向を回転(変更)させ、データを書き込むことができる。

[0012] 図5及び図6を参照して、すなわち、磁気抵抗素子において、時刻t1での第1及び第2のフリー層磁化の方向が回転し始める。時刻t2で第1及び第2のフリー層磁化のうちの一方の方向が磁化困難軸を超える。時刻t3で第1及び第2のフリー層磁化のうちの他方の方向も磁化困難軸を超える。このように、第1及び第2のフリー層磁化の方向は、それぞれスピントロップした状態で1回転する。すなわち、初期状態が「0」の状態である場合は「1」の状態に、「1」の状態である場合は「0」の状態に書き換えられる(トグルされる)。

[0013] 図7は、書き込み電流 I_{WL} 及び書き込み電流 I_{BL} とトグルされるメモリセル(磁気抵抗素子)との関係を示すグラフである。縦軸は書き込み電流 I_{WL} 、横軸は書き込み電流 I_{BL} を示す。黒丸印は選択セルに、白丸印は半選択セル(書き込みワード線及びビット

線のいずれか一方が選択セルと共通のセル)に、バツ印は非選択セルに対応する。「TOGGLE」と示された領域は、トグル動作が発生する領域を示す。「No Switching」と示された領域は、トグル動作が発生しない領域を示す。

[0014] トグルMRAMでは、選択(書き込み)ワード線上あるいは選択ビット線上に配置される半選択状態のメモリセル(図中、白丸印)には、一方向の磁場しか加わらないため誤書き込みする可能性は非常に低い。よって、書き込み電流値の厳密な制御は必要なく、書き込みマージンは従来の典型的なMRAMと比較して飛躍的に向上する。

[0015] 以上説明したように、典型的なMRAMの書き込み動作は書き込みをしようとする情報に対応した書き込み電流の方向により磁気抵抗素子のフリー層磁化を制御することで実行される。一方、トグルMRAMの場合、書き込み動作はフリー層磁化の方向を反転させる(トグルさせる)か否かで実行される。そのため、トグル動作をする前に選択メモリセルの記憶情報をセンスしておく必要がある。ユーザーエリアに配置されている通常セルのセンス動作は、選択セルの抵抗値と参照セルの抵抗値とを比較して実行される。従って、通常セルの書き込み動作は、書き込みをしようとする情報と直前のセンス結果に基づいて、トグル動作するか否か決定すれば実行可能である。一方、通常のセルの基準となる参照セルには既知の参照情報を電源投入時等に予め高い信頼性で書き込み(プログラム)しておく必要がある。しかし、参照セルの書き込みに必要な基準情報が無いため、通常セルの場合と同じ方法でセンスすることは不可能である。

[0016] 関連する技術として特開2002-140889号公報に情報再生方法が開示されている。この技術は、磁性体からなる可変抵抗器を備えた強磁性体メモリからの情報再生方法である。ここで可変抵抗器は、磁化の向きにより情報を記憶するハード層と、非磁性層と、前記ハード層より保磁力が小さな磁性体からなるソフト層とを有する。先ず、前記ソフト層を初期化すると共に前記可変抵抗器の抵抗値を検出、保持する。次いで、前記ソフト層の磁化を反転させ、そのとき検出された前記可変抵抗器の抵抗値と前記保持しておいた抵抗値とを比較し、抵抗値の増減により前記ハード層に記憶された情報を再生する。

[0017] 関連する技術として特開2003-257173号公報に半導体記憶装置の読み出し回

路が開示されている。この技術は、相対的に抵抗値の小さい第1の記憶状態と、相対的に抵抗値の大きい第2の記憶状態との2つの記憶状態を有するメモリセルよりメモリセルアレイが構成される半導体記憶装置の読み出し回路である。プリアンプと、電圧制御発振器と、カウンタと、カウント値記憶手段と、判定手段とを有している。プリアンプは、前記メモリセルのうち選択された選択セルから入力される電流を検出して電圧に増幅変換する。電圧制御発振器は、前記プリアンプの出力電圧に比例した周波数で発振する。カウンタは、前記電圧制御発振器から出力されるパルス数を数える。カウント値記憶手段は、前記カウンタの出力値を記憶する。判定手段は、前記カウンタと前記カウント値記憶手段との出力値が入力され、前記選択セルの記憶状態の判定を行う。

発明の開示

[0018] 従って、本発明の目的は、トグルMRAMにおける参照セルに参照情報を高い信頼性で書き込む(プログラムする)ことが可能なトグルMRAMを提供することである。

[0019] また、本発明の他の目的は、トグルMRAMにおける参照セルの参照情報を高い信頼性で読み出す(センスする)ことが可能なトグルMRAMを提供することである。

[0020] 従って、上記課題を解決するために、本発明の磁気ランダムアクセスメモリは、複数の第1配線と、複数の第2配線と、複数のメモリセルと、第2センスアンプと、第1センスアンプとを具備する。第1配線は、第1方向に延伸する。第2配線は、第1方向に実質的に垂直な第2方向に延伸する。メモリセルは、複数の第1配線と複数の第2配線とが交差する位置のそれぞれに対応して設けられている。第2センスアンプは、複数のメモリセルのうち、複数の第2配線のうちの参照配線に対応して設けられた複数の参照セルからの出力に基づいて、参照セルの状態を検出する。第1センスアンプは、参照セルと異なるメモリセルからの出力と参照セルからの出力とにに基づいて、当該メモリセルの状態を検出する。複数のメモリセルの各々は、記憶されるデータに応じて磁化方向が反転される積層フリー層を有する磁気抵抗素子含む。磁気抵抗素子は、磁化容易軸方向が第1及び第2の方向とは異なる。

[0021] 上記の磁気ランダムアクセスメモリにおいて、複数の第1配線から選択される選択第1配線と複数の第2配線から選択される選択第2配線とに対応するメモリセルとしての

選択セルについて、積層フリー層の磁化を反転させるトグル動作は、次の連続の電流制御により実行される。選択第1配線に第1書き込み電流を供給し、次に、選択第2配線に第2書き込み電流を供給し、その後、第1書き込み電流を停止し、次に、第2書き込み電流を停止する。

- [0022] 上記の磁気ランダムアクセスメモリにおいて、第1書き込み電流及び第2書き込み電流は、参照セルに対してそのトグル動作を行う場合の方が、参照セルと異なるメモリセルに対してそのトグル動作を行う場合よりも大きい。
- [0023] 上記の磁気ランダムアクセスメモリにおいて、参照セルの記憶情報の読み出しあは、次のように行う。参照セルの最初の状態としての第1状態を検出する第1読み出し動作と、参照セルをそのトグル動作により第2状態にする第1トグル動作と、参照セルのその第2状態を検出する第2読み出し動作と、参照セルをそのトグル動作によりその第1状態に戻す第2トグル動作とを実行し、その第1状態とその第2状態との比較結果に基づいて、参照セルの記憶情報を読み出す。
- [0024] 上記の磁気ランダムアクセスメモリにおいて、参照セルの記憶情報の書き込みは、次のように行う。参照セルの最初の状態としての第1状態を検出する第1読み出し動作と、参照セルをそのトグル動作により第2状態にする第1トグル動作と、参照セルのその第2状態を検出する第2読み出し動作と、その第1状態とその第2状態との比較結果に基づいて、その第1状態又はその第2状態を判定する判定動作とを実行し、その第2状態が参照セルに書き込もうとしている記憶情報と同じ場合、その第2状態を維持し、異なる場合、参照セルをそのトグル動作によりその第1状態に戻すことで書き込みを行う。
- [0025] 上記の磁気ランダムアクセスメモリにおいて、第2センスアンプは、抵抗電圧変換部と、記憶部と、判定部とを備える。抵抗電圧変換部は、参照セルの磁気抵抗素子の抵抗値を検出して出力電圧に変換する。記憶部は、その出力電圧を一時的に保持する。判定部は、そのトグル動作後のその出力電圧と、記憶部に格納されているそのトグル動作前のその出力電圧とにに基づいて、参照セルに格納されていた記憶情報を判定する。
- [0026] 上記の磁気ランダムアクセスメモリにおいて、記憶部は、入力側を抵抗電圧変換部

の出力側に接続された第1スイッチ部と、入力側を第1スイッチの出力側に接続されたキャパシタとを備える。判定部は、入力側をキャパシタの出力側に接続されたインバータと、インバータの入出力間に並列に接続された第2スイッチ部とを備える。

[0027] 上記の磁気ランダムアクセスメモリにおいて、その第1読み出し動作時に第1スイッチ部及び第2スイッチ部が共にオンの状態である。その第2読み出し動作開始前に第1スイッチ部がオフの状態である。その第2読み出し動作時に第2スイッチ部をオフの状態にし、その直後に第1スイッチ部を再びオンの状態にする。その第2読み出し動作時におけるインバータの出力が参照セルの記憶情報である。

[0028] 上記の磁気ランダムアクセスメモリにおいて、第2センスアンプは、その第1トグル動作が行われたか否かを検出し、その第1トグル動作が行われなかつたと判定された場合は、第1書き込み電流及び第2書き込み電流を増大させ、再度、第1読み出し動作から実行する。

[0029] 上記の磁気ランダムアクセスメモリにおいて、第2センスアンプは、第1抵抗電圧変換部と、第1記憶部と、第1判定部と、第2抵抗電圧変換部と、第2記憶部と、第2判定部と、判定部とを備える。第1抵抗電圧変換部は、参照セルの磁気抵抗素子の抵抗値を検出して、第1出力電圧とする。第1記憶部は、その第1出力電圧を一時的に保持する。第1判定部は、そのトグル動作後のその第1出力電圧と、第1記憶部に格納されているそのトグル動作前のその第1出力電圧に基づいて、参照セルに格納されていた記憶情報を判定して、判定結果を示す第1信号とする。第2抵抗電圧変換部は、参照セルの磁気抵抗素子の抵抗値を検出して、第2出力電圧とする。第2記憶部は、その第2出力電圧を一時的に保持する。第2判定部は、そのトグル動作後のその第2出力電圧と、第2記憶部に格納されているそのトグル動作前のその第2出力電圧に基づいて、参照セルに格納されていた記憶情報を判定して、判定結果を示す第2信号とする。判定部は、第1信号と第2信号に基づいて、その第1トグル動作が行われたか否かを判定する。

[0030] 上記の磁気ランダムアクセスメモリにおいて、その第1出力電圧は、その第1読み出し動作時では、磁気抵抗素子の抵抗値を検出して電圧に変換した後、第1オフセット電圧を加算したものである。その第2読み出し動作時では、磁気抵抗素子の抵抗値

を検出して電圧に変換したものである。その第2出力電圧は、その第1読み出し動作時では、磁気抵抗素子の抵抗値を検出して電圧に変換した後、第2オフセット電圧を加算したものである。その第2読み出し動作時では、磁気抵抗素子の抵抗値を検出して電圧に変換したものである。第1オフセット電圧の符号と第2オフセット電圧の符号とは逆である。

[0031] 上記の磁気ランダムアクセスメモリにおいて、その第1出力電圧は、その第1読み出し動作時では、磁気抵抗素子の抵抗値を検出して電圧に変換した後、第1オフセット電圧を加算したものである。その第2読み出し動作時では、磁気抵抗素子の抵抗値を検出して電圧に変換したものである。その第2出力電圧は、その第1読み出し動作時では、磁気抵抗素子の抵抗値を検出して電圧に変換したものである。その第2読み出し動作時では、磁気抵抗素子の抵抗値を検出して電圧に変換した後、第2オフセット電圧を加算したものである。第1オフセット電圧の符号と第2オフセット電圧の符号とは同じである。

[0032] 上記の磁気ランダムアクセスメモリにおいて、第1記憶部は、入力側を第1抵抗電圧変換部の出力側に接続された第1スイッチ部と、入力側を第1のスイッチの出力側に接続された第1キャパシタとを備える。第1判定部は、入力側を第1キャパシタの出力側に接続された第1インバータと、第1インバータの入出力間に並列に接続された第2スイッチ部とを備える。第2記憶部は、入力側を第1抵抗電圧変換部の出力側に接続された第3スイッチ部と、入力側を第3のスイッチの出力側に接続された第2キャパシタとを備える。第2判定部は、入力側を第2キャパシタの出力側に接続された第2インバータと、第2インバータの入出力間に並列に接続された第4スイッチ部とを備える。

[0033] 上記の磁気ランダムアクセスメモリにおいて、その第1読み出し動作時に第1スイッチ部、第2スイッチ部、第3スイッチ部及び第4スイッチ部が共にオンの状態である。その第2読み出し動作開始前に第1スイッチ部及び第3スイッチ部がオフの状態である。その第2読み出し動作時に第2スイッチ部及び第4スイッチ部をオフの状態にし、その後に第1スイッチ部及び第3スイッチ部を再びオンの状態にする。その第2読み出し動作時における判定部の出力が参照セルの記憶情報である。

[0034] 本発明のトグルMRAMによれば、参照セルに格納されている情報をより確実に読み出すことが可能となる。出荷時、あるいは電源投入時、さらには使用時において、参照セルに所望の参照情報を予め書き込むことが可能となる。

図面の簡単な説明

[0035] [図1]図1は、トグルMRAMに用いられる典型的な磁気抵抗素子の構造を示す断面図である。

[図2]図2は、トグルMRAMに用いられる典型的な磁気抵抗素子の構造を示す断面図である。

[図3]図3は、第1の先行文献におけるメモリセルの平面レイアウトを示す上面図である。

[図4]図4は、トグル動作における書き込み電流 I_{WL} 及び書き込み電流 I_{BL} のタイミングを示すタイミングチャートである。

[図5]図5は、トグル動作における第1及び第2のフリー層磁化の方向の変化を示す図である。

[図6]図6は、トグル動作における第1及び第2のフリー層磁化の方向の変化を示す図である。

[図7]図7は、書き込み電流 I_{WL} 及び書き込み電流 I_{BL} とトグルされるメモリセル(磁気抵抗素子)との関係を示すグラフである。

[図8]図8は、本発明のトグルMRAMの第1の実施の形態の構成を示すブロック図である。

[図9]図9は、本発明のトグルMRAMの第1の実施の形態の書き込み動作を示すフローチャートである。

[図10]図10は、第2のセンスアンプの構成を示す回路図である。

[図11]図11は、図9のフローチャートに対応するタイミングチャートを示す図である。

[図12]図12は、図9の動作における V_{ref} 、 V_i 及び V_O の関係を示すグラフである(初期状態「0」)。

[図13]図13は、図9の動作における V_{ref} 、 V_i 及び V_O の関係を示すグラフである(初期状態「1」)。

[図14]図14は、本発明のトグルMRAMの第1の実施の形態の読み出し動作を示すフローチャートである。

[図15]図15は、本発明のトグルMRAMの第2の実施の形態の構成を示すブロック図である。

[図16]図16は、本発明のトグルMRAMの第2の実施の形態の書き込み動作を示すフローチャートである。

[図17]図17は、第2のセンスアンプの構成を示す回路図である。

[図18]図18は、判定回路の真理値表を示す。

[図19]図19は、図17の動作におけるVref1(1st)及びVref1(2nd)の関係を示すグラフである。

[図20]図20は、図17の動作におけるVref2(1st)及びVref2(2nd)の関係を示すグラフである。

[図21]図21は、本発明のトグルMRAMの第2の実施の形態の読み出し動作を示すフローチャートである。

発明を実施するための最良の形態

[0036] 以下、本発明のトグルMRAMの実施の形態に関して、添付図面を参照して説明する。

[0037] (第1の実施の形態)

まず、本発明のトグルMRAMの第1の実施の形態の構成について、添付図面を参照して説明する。

図8は、本発明のトグルMRAMの第1の実施の形態の構成を示すブロック図である。トグルMRAMは、コントローラ1、第1のセンスアンプ2、第2のセンスアンプ3、第1の書き込み電流源4、第2の書き込み電流源5、Yデコーダ6、Y終端回路7、Xデコーダ8、X終端回路9、セルアレイ10、複数の書き込みワード線23、複数の読み出しワード線24、複数のビット線21、参照ビット線21r、メイン参照ビット線28及び複数のメインビット線29を具備する。

[0038] セルアレイ10は、ユーザエリア11及び参照セルカラムを備える。

ユーザエリア11は、複数のメモリセル14が行列状に配列されている。メモリセル14

は、磁気抵抗素子25とMOSトランジスタ26とを含む。磁気抵抗素子25は、一端をビット線21に、他端をトランジスタ26のドレインにそれぞれ接続している。記憶されるデータに対応して磁化方向が反転される自発磁化を有する。より詳細には、図1ー図3に示す磁気抵抗素子である。磁気抵抗素子25は、書き込みワード線23を流れる書き込み電流 I_{WL} に伴う磁界と、ビット線21を流れる書き込み電流 I_{BL} に伴う磁界との影響を受ける位置に配置されている。MOSトランジスタ26は、ドレインを磁気抵抗素子25に、ソースを接地に、ゲートを読み出しワード線24にそれぞれ接続している。MOSトランジスタ26は、読み出し動作時に、ビット線21ー磁気抵抗素子25ー(トランジスタ26ー)接地の経路に電流を流すために用いられる。

[0039] 参照セルカラムは、複数の参照セル14rが参照ビット線21rに沿って配列されている。参照セル14rは、参照ビット線21rに沿って設けられている以外は、メモリセル14と同じ構成であり、磁気抵抗素子25rとMOSトランジスタ26rを含む。

[0040] ビット線21は、第1の方向としてのY軸方向(ビット線方向)へ延伸するように設けられ、一端をYデコーダ6に、他端をY終端回路7にそれぞれ接続されている。参照ビット線21rも同様である。

書き込みワード線23は、Y軸方向に実質的に垂直な第2の方向としてのX軸方向(ワード線方向)へ延伸するように設けられ、一端をXデコーダ8に、他端をX終端回路9にそれぞれ接続されている。読み出しワード線24は、第2の方向としてのX軸方向(ワード線方向)へ延伸するように設けられ、一端をXデコーダ8に、他端をX終端回路9にそれぞれ接続されている。

[0041] 上記メモリセル14は、上記の複数のビット線21と書き込みワード線23及び読み出しワード線24の複数の組とが交差する位置のそれぞれに対応して設けられている。上記参照セル14rは、上記の参照ビット線21rと書き込みワード線23及び読み出しワード線24の複数の組とが交差する位置のそれぞれに対応して設けられている。

[0042] Yデコーダ6は、メモリセル14の読み出し動作時及び書き込み動作時のいずれの場合にも、Yアドレスの入力に基づいて、複数のビット線21から一つのビット線21を選択ビット線21sとして選択し、参照ビット線21rを選択する。また、参照セル14rの読み出し動作時及び書き込み動作時のいずれの場合にも、Yアドレスの入力に基づい

て、参照ビット線21rを選択する。

Xデコーダ8は、メモリセル14及び参照セル14rの読み出し動作時に、Xアドレスの入力に基づいて、複数の読み出しワード線24から一つの読み出しワード線24を選択読み出しワード線24sとして選択する。メモリセル14及び参照セル14rの書き込み動作時に、Xアドレスの入力に基づいて、複数の書き込みワード線23から一つの書き込みワード線23を選択書き込みワード線23sとして選択する。

- [0043] 選択ビット線21sと選択書き込みワード線23s又は選択読み出しワード線24sとで選択されるメモリセル14を選択セル14sとする。参照ビット線21rと選択書き込みワード線23s又は選択読み出しワード線24sとで選択される参照セル14rを選択参照セル14rsとする。
- [0044] 第1の書き込み電流源4は、メモリセル14及び参照セル14rの書き込み動作時に、選択書き込みワード線23sへ所定の書き込み電流 I_{WL} を供給する。X終端回路9は、メモリセル14及び参照セル14rの書き込み動作時に、選択書き込みワード線23sに流れる書き込み電流 I_{WL} を終端する。
第2の書き込み電流源5は、メモリセル14及び参照セル14rの書き込み動作時に、選択ビット線21sへ所定の書き込み電流 I_{BL} を供給する。Y終端回路7は、メモリセル14及び参照セル14rの書き込み動作時に、選択ビット線21sに流れる書き込み電流 I_B を終端する。
- [0045] 第1のセンスアンプ2は、メモリセル14の読み出し動作時に、メインビット線29—Yデコーダ6—選択ビット線21s—選択メモリセル14sと流れる読み出し電流 I_R と、メイン参照ビット線28—Yデコーダ6—参照ビット線21r—選択参照セル14rsと流れる参照読み出し電流 I_r とを比較することにより、選択メモリセル14sの状態を検出する。それにより、選択メモリセル14sのデータを読み出す。
- [0046] 第2のセンスアンプ3は、メイン参照ビット線28—Yデコーダ6—参照ビット線21r—選択参照セル14rsと流れる参照読み出し電流 I_r と、選択参照セル14rsに一回トグル動作を行った後における参照読み出し電流 I_r とを比較することにより、参照セル14rの状態を検出する。それにより、参照セル14rのデータを読み出す。
- [0047] メインビット線29は、一つのユーザエリア11における選択ビット線21sと第1のセン

スアンプ2とを接続する。

メイン参照ビット線28は、参照ビット線21rと第1のセンスアンプ2及び第2のセンスアンプ3とを接続する。

コントローラ1は、データの読み出し動作及び書き込み動作のタイミングに対応して、第1のセンスアンプ2、第2のセンスアンプ3、第1の書き込み電流源4、第2の書き込み電流源5を制御する。

[0048] 本発明のトグルMRAMは、通常のメモリセル14の記憶情報を検出する通常の第1のセンスアンプ2とは別に、参照セル自身の記憶情報を検出する専用の第2のセンスアンプ3を備えている。第1のセンスアンプ2は、選択メモリセル14sの状態と選択参照セル14rsの状態とを比較することで選択メモリセル14sの記憶情報を読み出す。これに対し、第2のセンスアンプ3は、参照セル14r自身のトグル動作前後の二つの状態を比較することで参照セル14rの記憶情報を読み出すことができる。それにより、参照情報を参照セル14rへ高い信頼性でプログラムすることが可能となる。加えて、第2のセンスアンプ3の信号量は、ユーザエリア11の第1のセンスアンプ2の信号量の2倍を確保できるため、センス結果の信頼性が高く、より高い信頼性で参照セル14rのプログラムが可能となる。

[0049] 第2のセンスアンプ3は、抵抗-電圧変換部31と記憶部32と判定部33とを具備している。抵抗-電圧変換部31は、参照セル14rの磁気抵抗素子25rの抵抗値(電流値)を検出して電圧に変換する。記憶部32は、抵抗-電圧変換部31の出力電圧を一時的に保持する。判定部33は、抵抗-電圧変換部31の今回の出力電圧と記憶部32の出力電圧(抵抗-電圧変換部31の前回の出力電圧)から参照セル14rに格納されていた情報を判定する。

[0050] なお、本発明の係るところはトグルMRAMにおける参照セル14rの読み出し(センス)動作及び書き込み(プログラム)動作であり、通常のメモリセル14の読み出し動作及び書き込み動作については従来のトグルMRAMと同様(図4～図6の説明と同様)であるためここでは説明を省略する。

[0051] 次に、本発明のトグルMRAMの第1の実施の形態の動作について、添付図面を参照して説明する。

図9は、本発明のトグルMRAMの第1の実施の形態の動作を示すフローチャートである。この図では、トグルMRAMの参照セルのプログラム方法(書き込み方法)を示している。

[0052] (1)ステップS01

Xデコーダ8は、選択読み出しワード線24sを選択する。Yデコーダ6は、参照ビット線21rを選択する。それにより、選択参照セル14rsが選択される。選択参照セル14rsのMOSトランジスタ26はオンになる。

(2)ステップS02

選択参照セル14rsについて、読み出し動作(第1のセンス動作)を行う。すなわち、第2のセンスアンプ3(の抵抗-電圧変換部31)は、第2のセンスアンプ3と選択参照セル14rs(接地)との間に所定の電圧を印加し、メイン参照ビット線28-Yデコーダ6-参照ビット線21r-選択参照セル14rsの経路に、参照読み出し電流Irを流す。この結果、第2のセンスアンプ3(の抵抗-電圧変換部31)は、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref(1st)を検出する。

(3)ステップS03

第2のセンスアンプ3(の記憶部32)は、抵抗値Rref(1st)を一時的に記憶する。

(4)ステップS04

選択参照セル14rsについて、書き込み動作(第1のトグル動作)を行う。書き込み動作(トグル動作)については、図4-図6の説明に記載の通りである。

(5)ステップS05

選択参照セル14rsについて、第2のセンスアンプ3(の抵抗-電圧変換部31)は、再び、読み出し動作(第2のセンス動作)を行う。それにより、第2のセンスアンプ3(の抵抗-電圧変換部31)は、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref(2nd)を検出する。

(6)ステップS06

第2のセンスアンプ3(の判定部33)は、Rref(1st)とRref(2nd)との大小を比較する。

(7)ステップS07

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、 $R_{ref}(1st) < R_{ref}(2nd)$ であれば(ステップS06:yes)、読み出し結果(センス結果)は「0」である。すなわち、元々(ステップS04の書き込み動作より前)の選択参照セル14rsのデータは「0」である。ただし、ステップS07時点では、選択参照セル14rsのデータは「1」である。

次に、第2のセンスアンプ3(の判定部33)は、参照セル14rに格納すべき参照情報が「0」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「1」の場合(ステップS07:no)、このまま動作を終了する。

(8)ステップS08

参照セル14rに格納すべき参照情報が「0」の場合(ステップS07:yes)、選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図4ー図6の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「0」に戻る。

(9)ステップS09

$R_{ref}(1st) > R_{ref}(2nd)$ であれば(ステップS06:no)、読み出し結果(センス結果)は「1」である。すなわち、元々(ステップS04の書き込み動作より前)の選択参照セル14rsのデータは「1」である。ただし、ステップS09時点では、選択参照セル14rsのデータは「0」である。

次に、第2のセンスアンプ3(の判定部33)は、参照セル14rに格納すべき参照情報が「1」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「0」の場合(ステップS09:no)、このまま動作を終了する。

(8)ステップS10

参照セル14rに格納すべき参照情報が「1」の場合(ステップS09:yes)、選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図4ー図6の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「1」に戻る。

[0053] 本発明より、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

[0054] 以上説明した参照セル14rの読み出し(センス)動作及び書き込み(プログラム)動

作に使用される第2のセンスアンプ回路の具体例について説明する。

[0055] 図10は、第2のセンスアンプの構成を示す回路図である。抵抗一電圧変換部31は、トランジスタ41と負荷42とを含むゲート接地增幅回路により構成されている。トランジスタ41のゲートにはバイアス電圧Vbが供給されており、ドレインを負荷42に、ソースをメイン参照ビット線28に接続されている。バイアス電圧Vbにより、トランジスタ41のソース、即ちメイン参照ビット線28にはMTJ(磁気抵抗素子25r)の破壊電圧以上の電圧が印加されないように作用する。負荷42は、一方の端子を電圧源VCに、他方の端子をトランジスタ41のドレインに接続されている。第1の読み出し動作(センス動作)時に、参照セル14rの磁気抵抗素子25rの抵抗値Rrefと負荷42とで定電圧VCを分圧し、抵抗値Rrefに比例する電圧Vref($=k \cdot Rref$)を出力する。Vrefは、トランジスタ41のドレイン側の電圧である。すなわち、ここでは図9のフローにおけるRrefをVrefに対応させて動作している。

[0056] 記憶部32は、第1のスイッチ部43とキャパシタ44とを含む。第1のスイッチ部43は、一方の端子をトランジスタ41のドレインに、他方の端子をキャパシタ44の一方の端子に接続されている。オン／オフのタイミングは制御信号 ϕ_1 により制御される。キャパシタ44は、一方の端子を第1のスイッチ43の他方の端子に、他方の端子をインバータ46の入力側端子に接続されている。第1のスイッチ部43の、第1の読み出し動作(センス動作)時に出力されたVrefに対応する電荷をキャパシタ44に蓄積することにより、Vrefを記憶する。

[0057] 判定部33は、第2のスイッチ部45とインバータ46とラッチ回路47と排他的論理和ゲート48とを含む。第2のスイッチ部45は、一方の端子をインバータ46の入力側端子に、他方の端子をインバータ46の出力側端子に接続されている。オン／オフのタイミングは制御信号 ϕ_2 により制御される。インバータ46は、入力側端子をキャパシタ44の他方の端子に、出力側端子をラッチ回路47の入力側端子に接続されている。ラッチ回路47は、入力側端子をインバータ46の出力側端子に接続され、出力側端子は、出力信号DOUTとして出力すると共に、排他的論理和ゲートの一方の入力側端子に接続されている。データ出力のタイミングは制御信号 ϕ_3 により制御される。排他的論理和ゲート48は、一方の入力側端子をラッチ回路47の出力側端子に、他方

の入力側端子を参照セル14rにプログラムしようとする(記憶されるべき)参照情報を供給する信号線に接続されている。排他的論理和ゲート48は、判定信号としての第2のトグル動作のイネーブル信号であるTG2ENを出力する。

[0058] 図11は、図9の第1の実施の形態の動作のフローチャートに対応するタイミングチャートを示す図である。ここでは図9のフローにおけるRrefをVrefに対応させて動作している。

選択参照セル14rsを選択(ステップS01)後、第1のセンス動作(ステップS02)時では、制御信号 ϕ 2がハイレベルとなり、第2のスイッチ45がオン状態となる。この時、インバータ46の入力電圧Viと出力電圧V0は等しくなる。次に、制御信号 ϕ 1がハイレベルとなり、第1のスイッチ43がオン状態となる。この時、キャパシタ44の両端電圧はVref(1st)−Viとなる。第1のセンス動作が終了し、制御信号 ϕ 1がローレベルとなり、第1のスイッチ43がオフ状態となる。これにより、キャパシタ44の両端電圧は保持される(ステップS03)。

[0059] 第1のトグル動作(ステップS04)終了後、第2のセンス動作が開始される。この時、抵抗−電圧変換部31は電圧Vref(2nd)を出力する(ステップS05)。第2のスイッチ45をオフ状態(制御信号 ϕ 2:ローレベル)にしてから第1のスイッチ43をオン状態(制御信号 ϕ 1:ハイレベル)にすると、キャパシタ44のカッピング作用によりViはdV = Vref(1st)−Vref(2nd)だけシフトする(ステップS06)。例えば、ステップS04の第1のトグル動作で初期状態「0」から「1」にトグルされた場合、Vref(1st) < Vref(2nd)である(ステップS06:yes)。従って、インバータ46の出力信号は「0」レベルになる。逆に、初期状態「1」から「0」にトグルされた場合、Vref(1st) > Vref(2nd)である(ステップS06:no)。従って、インバータ46の出力信号は「1」レベルとなる。制御信号 ϕ 3の立ち上がりエッジでインバータ46の出力信号がラッチ回路47によりラッチされ、センス結果DOUT(選択参照セル14rsに当初格納されていたデータ)が出力される。

[0060] (記憶されるべき)参照信号とセンス結果DOUTが等しければ(ステップS07:yes、ステップS09:yes)、第2のトグル動作を実行する排他的論理和ゲート48により信号TG2ENが活性化される。それにより、第2のトグル動作が実行される(ステップS08、

ステップS10)。異なっていればTG2ENが不活性になる。

[0061] 図12及び図13は、図9の第1の実施の形態の動作におけるVref、Vi及びV0の関係を示すグラフである。左側の図がVref及びViの時間変化の関係を示し、縦軸は電圧の大きさ、横軸は時間(経過)を示す。右側の図がViとV0との関係(インバータ46の特性)を示し、縦軸はVi、横軸はV0を示す。図12は選択参照セル14rsに初期状態(当初格納していたデータ)が「0」の場合を示し、図13は「1」の場合を示す。

[0062] 図12の左側の図に示すように、 $V_{ref}(1st) = '0'$ (ステップS01～S03)は、トグル動作(ステップS04)により、 $V_{ref}(2nd) = '1'$ となり、 $dV = V_{ref}(1st) - V_{ref}(2nd) > 0$ 分だけ電圧が変化(dVだけ上昇)する(ステップS05)。それに伴い、Viの電圧も同じ $dV > 0$ 分だけ電圧が変化する。その結果、右図のようにインバータ46は、ローレベルのV0(='0')を出力する(ステップS06)。

[0063] 図13の左側の図に示すように、 $V_{ref}(1st) = '1'$ (ステップS01～S03)は、トグル動作(ステップS04)により、 $V_{ref}(2nd) = '0'$ となり、 $dV = V_{ref}(1st) - V_{ref}(2nd) < 0$ 分だけ電圧が変化(| dV | だけ減少)する(ステップS05)。それに伴い、Viの電圧も同じ $dV < 0$ 分だけ電圧が変化する。その結果、右図のようにインバータ46は、ハイレベルのV0(='1')を出力する(ステップS06)。

[0064] このような第2のセンスアンプ3を用いることで、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

[0065] 図14は、本発明のトグルMRAMの第1の実施の形態の動作を示すフローチャートである。この図では、トグルMRAMの参照セルのセンス方法(読み出し方法)を示している。

[0066] (1)ステップS21
 Xデコーダ8は、選択読み出しワード線24sを選択する。Yデコーダ6は、参照ビット線21rを選択する。それにより、選択参照セル14rsが選択される。選択参照セル14rsのMOSトランジスタ26はオンになる。

(2)ステップS22
 選択参照セル14rsについて、読み出し動作(第1のセンス動作)を行う。すなわち、第2のセンスアンプ3(の抵抗-電圧変換部31)は、第2のセンスアンプ3と選択参照

セル14rs(接地)との間に所定の電圧を印加し、メイン参照ビット線28-Yデコーダ6—参照ビット線21r—選択参照セル14rsの経路に、参照読み出し電流Irを流す。この結果、第2のセンスアンプ3(の抵抗—電圧変換部31)は、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref(1st)を検出する。

(3)ステップS23

第2のセンスアンプ3(の記憶部32)は、抵抗値Rref(1st)を一時的に記憶する。

(4)ステップS24

選択参照セル14rsについて、書き込み動作(第1のトグル動作)を行う。書き込み動作(トグル動作)については、図4—図6の説明に記載の通りである。

(5)ステップS25

選択参照セル14rsについて、第2のセンスアンプ3(の抵抗—電圧変換部31)は、再び、読み出し動作(第2のセンス動作)を行う。それにより、第2のセンスアンプ3(の抵抗—電圧変換部31)は、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref(2nd)を検出する。

(6)ステップS26

第2のセンスアンプ3(の判定部33)は、Rref(1st)とRref(2nd)との大小を比較する。

(7)ステップS27

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、 $Rref(1st) < Rref(2nd)$ であれば(ステップS06:yes)、読み出し結果(センス結果)は「0」である。すなわち、元々(ステップS04の書き込み動作より前)の選択参照セル14rsのデータは「0」と読み出すことができる。ただし、ステップS27時点では、選択参照セル14rsのデータは「1」である。

(8)ステップS28

$Rref(1st) > Rref(2nd)$ であれば(ステップS06:no)、読み出し結果(センス結果)は「1」である。すなわち、元々(ステップS04の書き込み動作より前)の選択参照セル14rsのデータは「1」と読み出すことができる。ただし、ステップS28時点では、選択参照セル14rsのデータは「0」である。

(9) ステップS29

選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図4ー図6の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々のデータに戻る。

[0067] 図10に示す第2のセンスアンプにおいて、図14の読み出し動作の場合、ステップS27又はステップS28の読み出しデータとして、ラッチ回路47のセンス結果DOUTを用いることができる。すなわち、このような第2のセンスアンプ3を用いることで、他のセルのデータと比較すること無く、トグルMRAMにおける参照セルのデータを読み出すことができる。

[0068] (第2の実施の形態)

次に、本発明のトグルMRAMの第2の実施の形態について、添付図面を参照して説明する。

[0069] まず、本発明のトグルMRAMの第2の実施の形態の構成について、添付図面を参照して説明する。

図15は、本発明のトグルMRAMの第2の実施の形態による構成を示すブロック図である。この本発明のトグルMRAMの第2の実施の形態による構成は図8に示すものと同様である。ただし、本実施の形態では、第2のセンスアンプ3の構成と参照セルプログラムの方法が第1の実施の構成とは異なる。トグル動作を検出する回路を設けて参照セル14rへのトグル動作が実行できたか否かをモニタし、否の場合はさらに書き込み電流値を増大させる。それにより、より高い信頼性で参照セルのプログラムが可能となる。

[0070] 第2のセンスアンプ3は、第1の抵抗-電圧変換部31a、第1の記憶部32a、第1の判定部33a、第2の抵抗-電圧変換部31b、第2の記憶部32b、第2の判定部33b、判定回路48aとを具備している。第1及び第2の抵抗-電圧変換部31a及び31bは、参照セル14rの磁気抵抗素子25rの抵抗値(電流値)を検出して電圧に変換し、所定の正オフセット電圧及び負オフセット電圧を加える。第1及び第2の記憶部32a及び32bは、対応する抵抗-電圧変換部31(31a及び31b)の出力電圧を一時的に保持する。第1及び第2の判定部33a及び33bは、対応する抵抗-電圧変換部31の今

回の出力電圧と対応する記憶部32(32a及び32b)の出力電圧(抵抗-電圧変換部31の前回の出力電圧)とを比較する。判定回路48aは、比較結果に基づいて、参照セル14rに格納されていた情報を判定する。

[0071] 他の構成については、第1の実施の構成と同じであるのでその説明を省略する。通常のメモリセル14の読み出し動作及び書き込み動作については従来のトグルMRAMと同様(図4ー図6の説明と同様)であるためここでは説明を省略する。

[0072] 次に、本発明のトグルMRAMの第2の実施の形態の動作について、添付図面を参照して説明する。

図16は、本発明のトグルMRAMの第2の実施の形態の動作を示すフローチャートである。この図では、トグルMRAMの参照セルのプログラム方法(書き込み方法)を示している。

[0073] (1)ステップS41

Xデコーダ8は、選択読み出しワード線24sを選択する。Yデコーダ6は、参照ビット線21rを選択する。それにより、選択参照セル14rsが選択される。選択参照セル14rsのMOSトランジスタ26はオンになる。

(2)ステップS42

選択参照セル14rsについて、読み出し動作(第1のセンス動作)を行う。すなわち、第2のセンスアンプ3(の第1及び第2の抵抗-電圧変換部31a及び31b)は、第2のセンスアンプ3と選択参照セル14rs(接地)との間に所定の電圧を印加し、メイン参照ビット線28-Yデコーダ6-参照ビット線21r-選択参照セル14rsの経路に、参照読み出し電流Irを流す。この結果、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref1(1st)及びRref2(1st)を検出する。

(3)ステップS43

第2のセンスアンプ3の第1及び第2の記憶部32a及び32bは、それぞれ、抵抗値Rref1(1st)及びRref2(1st)を一時的に記憶する。

(4)ステップS44

選択参照セル14rsについて、書き込み動作(第1のトグル動作)を行う。書き込み動

作(トグル動作)については、図4～図6の説明に記載の通りである。

(5)ステップS45

選択参照セル14rsについて、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、再び、読み出し動作(第2のセンス動作)を行う。それにより、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref1(2nd)及びRref2(2nd)を検出する。

(6)ステップS46

第2のセンスアンプ3の第1の判定部33aは、抵抗値Rref1(1st)と抵抗値Rref1(2nd)との大小関係を示す信号Q1を出力する。第2の判定部33bは、抵抗値Rref2(1st)と抵抗値Rref2(2nd)との大小関係を示す信号Q2を出力する。判定回路48aは、信号Q1と信号Q2とが一致するか否かを判定する。一致する場合(ステップS46:yes)、第1のトグル動作が正常に実行されているので、ステップS48へ進む。一致していない場合(ステップS46:no)、第1のトグル動作が正常に実行されていないので、ステップS47へ進む。

(7)ステップS47

第1のトグル動作が正常に実行されていないので、書き込み電流 I_{WL} 及び書き込み電流 I_{BL} を所定の大きさだけ増加し、ステップS42から再度実行する。

(8)ステップS48

第2のセンスアンプ3の判定回路48aは、Rref(1st)とRref(2nd)との大小関係(=Rref1(1st)とRref1(2nd)との大小関係=Rref2(1st)とRref2(2nd)との大小関係)を求める。すなわち、互いに一致している信号Q1と信号Q2とが、「0」か「1」かを判定する。

(9)ステップS49

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、Rref(1st) < Rref(2nd)であれば(ステップS48:yes)、読み出し結果(センス結果)は「0」である。すなわち、元々(ステップS44の書き込み動作前)の選択参照セル14rsのデータは「0」である。ただし、ステップS49時点では、選択参照セル14rsのデータは「1」である。

次に、第2のセンスアンプ3の判定回路48aは、参照セル14rに格納すべき参照情報が「0」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「1」の場合(ステップS49:yes)、このまま動作を終了する。

(10)ステップS50

参照セル14rに格納すべき参照情報が「0」の場合(ステップS49:yes)、選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図4ー図6の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「0」に戻る。

(11)ステップS51

$R_{ref}(1st) > R_{ref}(2nd)$ であれば(ステップS48:yes)、読み出し結果(センス結果)は「1」である。すなわち、元々(ステップS44の書き込み動作前)の選択参照セル14rsのデータは「1」である。ただし、ステップS51時点では、選択参照セル14rsのデータは「0」である。

次に、第2のセンスアンプ3の判定回路48aは、参照セル14rに格納すべき参照情報が「1」である場合に第2のトグル動作を実行するか否かを判定する。参照セル14rに格納すべき参照情報が「0」の場合(ステップS51:yes)、このまま動作を終了する。

(12)ステップS52

参照セル14rに格納すべき参照情報が「1」の場合(ステップS51:yes)、選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図4ー図6の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々の「1」に戻る。

[0074] 本発明より、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

[0075] 以上説明した参照セル14rの読み出し(センス)動作及び書き込み(プログラム)動作に使用される第2のセンスアンプ回路の具体例について説明する。

[0076] 図17は、第2のセンスアンプの構成を示す回路図である。第1の抵抗-電圧変換部31aは、トランジスタ41aと負荷42aと加算部49aとを含むゲート接地増幅回路により構成されている。トランジスタ41aのゲートにはバイアス電圧Vbが供給されており、ド

レインを負荷42aに、ソースをメイン参照ビット線28に接続されている。バイアス電圧Vbにより、トランジスタ41aのソース、即ちメイン参照ビット線28にはMTJ(磁気抵抗素子25r)の破壊電圧以上の電圧が印加されないように作用する。負荷42aは、一方の端子を電圧源VCに、他方の端子をトランジスタ41aのドレインに接続されている。加算部49aは、ドレインと正オフセット電圧Voffを供給する配線と第1のスイッチ部43aとに接続している。第1の読み出し動作(センス動作)時に、参照セル14rの磁気抵抗素子25rの抵抗値Rrefと負荷42aとで定電圧VCを分圧し、抵抗値Rrefに比例する電圧Vref($=k \cdot Rref$)に、オフセット電圧Voffを加えた $Vref1 = k \cdot Rref + Voff$ を出力する。Vrefは、トランジスタ41aのドレイン側の電圧である。

[0077] 第1の記憶部32aは、第1のスイッチ部43aとキャパシタ44aとを含む。第1のスイッチ部43aは、一方の端子を加算部49aに、他方の端子をキャパシタ44aの一方の端子に接続されている。オン／オフのタイミングは制御信号 $\phi 1$ により制御される。キャパシタ44aは、一方の端子を第1のスイッチ43aの他方の端子に、他方の端子をインバータ46aの入力側端子に接続されている。第1のスイッチ部43aの、第1の読み出し動作(センス動作)時に出力されたVref1に対応する電荷をキャパシタ44aに蓄積することにより、Vref1を記憶する。

[0078] 第1の判定部33aは、第2のスイッチ部45aとインバータ46aとラッチ回路47aとを含む。第2のスイッチ部45aは、一方の端子をインバータ46aの入力側端子に、他方の端子をインバータ46aの出力側端子に接続されている。オン／オフのタイミングは制御信号 $\phi 2$ により制御される。インバータ46aは、入力側端子をキャパシタ44aの他方の端子に、出力側端子をラッチ回路47aの入力側端子に接続されている。ラッチ回路47aは、入力側端子をインバータ46aの出力側端子に接続され、出力側端子は、出力信号Q1として出力すると共に、判定回路48aの一つの入力側端子に接続されている。データ出力のタイミングは制御信号 $\phi 3$ により制御される。

[0079] 第2の抵抗-電圧変換部31bは、トランジスタ41bと負荷42bと加算部49bとを含むゲート接地增幅回路により構成されている。トランジスタ41bのゲートにはバイアス電圧Vbが供給されており、ドレインを負荷42bに、ソースをメイン参照ビット線28に接続されている。バイアス電圧Vbにより、トランジスタ41bのソース、即ちメイン参照ビット

線28にはMTJ(磁気抵抗素子25r)の破壊電圧以上の電圧が印加されないように作用する。負荷42bは、一方の端子を電圧源VCに、他方の端子をトランジスタ41bのドレインに接続されている。加算部49bは、ドレインと負オフセット電圧-Voffを供給する配線と第2のスイッチ部43bとに接続している。第1の読み出し動作(センス動作)時に、参照セル14rの磁気抵抗素子25rの抵抗値Rrefと負荷42bとで定電圧VCを分圧し、抵抗値Rrefに比例する電圧Vref(=k·Rref)に、オフセット電圧-Voffを加えたVref2=k·Rref-Voffを出力する。Vrefは、トランジスタ41bのドレイン側の電圧である。

[0080] 第2の記憶部32bは、第3のスイッチ部43bとキャパシタ44bとを含む。第3のスイッチ部43bは、一方の端子を加算部49bに、他方の端子をキャパシタ44bの一方の端子に接続されている。オン／オフのタイミングは制御信号 ϕ 1により制御される。キャパシタ44bは、一方の端子を第1のスイッチ43bの他方の端子に、他方の端子をインバータ46bの入力側端子に接続されている。第1のスイッチ部43bの、第1の読み出し動作(センス動作)時に出力されたVref2に対応する電荷をキャパシタ44aに蓄積することにより、Vref2を記憶する。

[0081] 第2の判定部33bは、第4のスイッチ部45bとインバータ46bとラッチ回路47bとを含む。第4のスイッチ部45bは、一方の端子をインバータ46bの入力側端子に、他方の端子をインバータ46bの出力側端子に接続されている。オン／オフのタイミングは制御信号 ϕ 2により制御される。インバータ46bは、入力側端子をキャパシタ44bの他方の端子に、出力側端子をラッチ回路47bの入力側端子に接続されている。ラッチ回路47bは、入力側端子をインバータ46bの出力側端子に接続され、出力側端子は、出力信号Q2として出力すると共に、判定回路48aの一つの入力側端子に接続されている。データ出力のタイミングは制御信号 ϕ 3により制御される。

[0082] 判定回路48aは、第1の判定部33a及び第2の判定部33bに共通であり、第1の入力側端子をラッチ回路47aの出力側端子に、第2の入力側端子をラッチ回路47bの出力端子に、第3の入力側端子を参照セル14rにプログラムしようとする(記憶されるべき)参照情報を供給する信号線にそれぞれ接続されている。そして、第1のトグル動作が実行されたか否かを判定し、且つ、第2のトグル動作を実行するか否かを判定

し、判定結果として出力信号DOUT、第2トグルイネーブル信号TG2EN、グルエラ一信号TGERRを出力する。

[0083] 次に、図16と図17との関係について説明する

選択参照セル14rsを選択する。(ステップS41)

その後、第1のセンス動作時では、制御信号 ϕ 1がハイレベルとなり、第1のスイッチ43aがオン状態となる。この時、第1の抵抗-電圧変換部31aから、参照セルの抵抗値に比例する電圧にオフセット電圧Voffが加えられた電圧 $V_{ref1}(1st) = k \cdot R_{ref} + V_{off}$ が outputされる。ここで、Voffは「0」状態と「1」状態における V_{ref} の差電圧よりも小さいとする。キャパシタ44aの両端電圧は $V_{ref1}(1st)$ となる。

一方、制御信号 ϕ 1がハイレベルとなり、第3のスイッチ43bがオン状態となる。この時、第1の抵抗-電圧変換部31bから、参照セルの抵抗値に比例する電圧にオフセット電圧 $-V_{off}$ が加えられた電圧 $V_{ref2}(1st) = k \cdot R_{ref} - V_{off}$ が outputされる。キャパシタ44bの両端電圧は $V_{ref2}(1st)$ となる(ステップS42)。

第1のセンス動作が終了し、制御信号 ϕ 1がローレベルとなり、第1のスイッチ43a及び第3のスイッチ43bがオフ状態となる。これにより、キャパシタ44a及びキャパシタ44bの両端電圧は保持される。(ステップS43)。

[0084] 第1のトグル動作を実施する(ステップS44)。

その後、第2のセンス動作時では、第1の抵抗-電圧変換部31a及び第2の抵抗-電圧変換部31bから共にVoffを加減しない電圧 $V_{ref1}(2nd) = V_{ref2}(2nd) = k \cdot R_{ref}$ をそれぞれ出力する(ステップS45)。

第2のスイッチ45aをオフ状態(制御信号 ϕ 2:ローレベル)にしてから第1のスイッチ43aをオン状態(制御信号 ϕ 1:ハイレベル)にすると、キャパシタ44aのカップリング作用により、 $V_{ref1}(1st)$ から $V_{ref1}(2nd)$ へシフトする。

同様に、第4のスイッチ45bをオフ状態(制御信号 ϕ 2:ローレベル)にしてから第3のスイッチ43bをオン状態(制御信号 ϕ 1:ハイレベル)にすると、キャパシタ44bのカップリング作用により、 $V_{ref2}(1st)$ から $V_{ref2}(2nd)$ へシフトする。

[0085] このときの状況を更に説明する。

図19は、図16の第2の実施の形態の動作における $V_{ref1}(1st)$ 及び V_{ref}

1 (2nd) の関係を示すグラフである。縦軸は電圧の大きさ、横軸は時間(経過)を示す。上側の図は、初期状態が「0」の場合、下側の図は、初期状態が「1」の場合を示す。

[0086] 初期状態が「0」の場合(上側の図)、第1のセンスの段階では、 $V_{ref1\ (1st)} = k \cdot R_{ref} + V_{off}$ である。第2のセンスの段階において、トグル動作が成功していれば、ステップS44の第1のトグル動作で「1」へトグルされるので、 $V_{ref1\ (1st)} < V_{ref1\ (2nd)}$ となるはずである。この場合、第1のラッチ回路47aの出力信号Q1は「0」を出力(図12と同様)となる。しかし、トグル動作が失敗していれば、逆の $V_{ref1\ (1st)} > V_{ref1\ (2nd)}$ となるはずである。この場合、第1のラッチ回路47aの出力信号Q1は「1」を出力(図13と同様)となる。

[0087] ただし、初期状態が「1」の場合(下側の図)には、事情が異なる。トグル動作が成功していれば、ステップS44の第1のトグル動作で「0」へトグルされるので、 $V_{ref1\ (1st)} > V_{ref1\ (2nd)}$ となるはずである。この場合、第1のラッチ回路47aの出力信号Q1は「1」を出力(図13と同様)となる。加えて、トグル動作が失敗していっても、 $V_{ref1\ (1st)} > V_{ref1\ (2nd)}$ となってしまう。この場合も、第1のラッチ回路47aの出力信号Q1は「1」を出力(図13と同様)となる。

[0088] 図20は、図16の第2の実施の形態の動作における $V_{ref2\ (1st)}$ 及び $V_{ref2\ (2nd)}$ の関係を示すグラフである。縦軸は電圧の大きさ、横軸は時間(経過)を示す。上側の図は、初期状態が「0」の場合、下側の図は、初期状態が「1」の場合を示す。

[0089] 初期状態が「1」の場合(下側の図)、第1のセンスの段階では、 $V_{ref2\ (1st)} = k \cdot R_{ref} - V_{off}$ である。第2のセンスの段階において、トグル動作が成功していれば、ステップS44の第1のトグル動作で「0」へトグルされるので、 $V_{ref2\ (1st)} > V_{ref2\ (2nd)}$ となるはずである。この場合、第1のラッチ回路47bの出力信号Q2は「1」を出力(図13と同様)となる。しかし、トグル動作が失敗していれば、逆の $V_{ref2\ (1st)} < V_{ref2\ (2nd)}$ となるはずである。この場合、第1のラッチ回路47bの出力信号Q2は「0」を出力(図12と同様)となる。

[0090] ただし、初期状態が「0」の場合(上側の図)には、事情が異なる。トグル動作が成功していれば、ステップS44の第1のトグル動作で「1」へトグルされるので、 $V_{ref2\ (1st)}$

<Vref2(2nd)となるはずである。この場合、第1のラッチ回路47bの出力信号Q2は「0」を出力(図12と同様)となる。加えて、トグル動作が失敗していても、Vref2(1st) < Vref2(2nd)となってしまう。この場合も、第1のラッチ回路47bの出力信号Q2は「0」を出力(図12と同様)となる。

[0091] 図19及び図20の説明に示すように、第1のラッチ回路47aの出力信号Q1及び第1のラッチ回路47aの出力信号Q2から、ステップS44の第1のトグル動作が正常に行われたか否かを判定できる。すなわち、判定回路48aにより、出力信号Q1及びQ2が一致した場合、正常に行われたと判定される(ステップS46:yes)。そして、判定回路48aにより、トグルエラー信号TGERRが「0」が出力される。一方、出力信号Q1及びQ2が一致しなかった場合、正常に行われなかつたと判定される(ステップS46:no)。そして、判定回路48aにより、トグルエラー信号TGERRが「1」が出力される。

[0092] 続いて、判定回路48aにより、Rref(1st)とRref(2nd)との大小関係(=Rref1(1st)とRref1(2nd)との大小関係=Rref2(1st)とRref2(2nd)との大小関係)が求められる。すなわち、互いに一致している出力信号Q1と信号Q2とが、「0」(Rref(1st) < Rref(2nd))か「1」(Rref(1st) > Rref(2nd))かを判定する(ステップS48)。

初期状態「0」から「1」にトグルされた場合、Vref(1st) < Vref(2nd)である(ステップS48:yes)。従って、出力信号Q1と信号Q2は「0」レベルになる。逆に、初期状態「1」から「0」にトグルされた場合、Vref(1st) > Vref(2nd)である(ステップS06:no)。従って、出力信号Q1と信号Q2は「1」レベルとなる。

[0093] (記憶されるべき)参照信号と出力信号Q1と信号Q2が等しければ(ステップS49:yes、ステップS51:yes)、判定回路48aにより第2のトグル動作を実行する信号TG2ENが活性化される。それにより、第2のトグル動作が実行される(ステップS50、ステップS52)。異なつていればTG2ENが不活性になる。

[0094] 図18は、判定回路48aの真理値表を示す。出力信号Q1、Q2及び参照セルが記憶すべきデータを示す参照信号の状態に対応して、出力信号DOOUT、第2トグルインペーブル信号TG2EN、トグルエラー信号TGERRを出力する。

ID2、3、6、7は、ステップS46における第1のトグル動作のエラーの判定を示している。ID1は、参照情報が「0」、初期状態が「0」、第1のトグル動作のエラーが無く、

第2のトグル動作が必要な場合を示している。ID4は、参照情報が「0」、初期状態が「1」、第1のトグル動作のエラーが無く、第2のトグル動作が不必要的場合を示している。ID5は、参照情報が「1」、初期状態が「0」、第1のトグル動作のエラーが無く、第2のトグル動作が不必要的場合を示している。ID8は、参照情報が「1」、初期状態が「1」、第1のトグル動作のエラーが無く、第2のトグル動作が必要な場合を示している。

[0095] このような第2のセンスアンプ3を用いることで、トグルMRAMにおける参照セルに参照情報を高い信頼性でプログラムすることが可能となる。

[0096] 図21は、本発明のトグルMRAMの第2の実施の形態の動作を示すフローチャートである。この図では、トグルMRAMの参照セルのセンス方法(読み出し方法)を示している。

[0097] (1)ステップS61

Xデコーダ8は、選択読み出しワード線24sを選択する。Yデコーダ6は、参照ビット線21rを選択する。それにより、選択参照セル14rsが選択される。選択参照セル14rsのMOSトランジスタ26はオンになる。

(2)ステップS62

選択参照セル14rsについて、読み出し動作(第1のセンス動作)を行う。すなわち、第2のセンスアンプ3(の第1及び第2の抵抗-電圧変換部31a及び31b)は、第2のセンスアンプ3と選択参照セル14rs(接地)との間に所定の電圧を印加し、メイン参照ビット線28-Yデコーダ6-参照ビット線21r-選択参照セル14rsの経路に、参照読み出し電流Irを流す。この結果、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref1(1st)及びRref2(1st)を検出する。

(3)ステップS63

第2のセンスアンプ3の第1及び第2の記憶部32a及び32bは、それぞれ、抵抗値Rref1(1st)及びRref2(1st)を一時的に記憶する。

(4)ステップS64

選択参照セル14rsについて、書き込み動作(第1のトグル動作)を行う。書き込み動作(トグル動作)については、図4-図6の説明に記載の通りである。

(5)ステップS65

選択参照セル14rsについて、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、再び、読み出し動作(第2のセンス動作)を行う。それにより、第2のセンスアンプ3の第1及び第2の抵抗-電圧変換部31a及び31bは、それぞれ、選択参照セル14rsの磁気抵抗素子25rの抵抗値Rref1(2nd)及びRref2(2nd)を検出する。

(6)ステップS66

第2のセンスアンプ3の第1の判定部33aは、抵抗値Rref1(1st)と抵抗値Rref1(2nd)との大小関係を示す信号Q1を出力する。第2の判定部33bは、抵抗値Rref2(1st)と抵抗値Rref2(2nd)との大小関係を示す信号Q2を出力する。判定回路48aは、信号Q1と信号Q2とが一致するか否かを判定する。一致する場合(ステップS66:yes)、第1のトグル動作が正常に実行されているので、ステップS68へ進む。一致していない場合(ステップS66:no)、第1のトグル動作が正常に実行されていないので、ステップS47へ進む。

(7)ステップS67

第1のトグル動作が正常に実行されていないので、書き込み電流 I_{WL} 及び書き込み電流 I_{BL} を所定の大きさだけ増加し、ステップS42から再度実行する。

(8)ステップS68

第2のセンスアンプ3の判定回路48aは、Rref(1st)とRref(2nd)との大小関係(=Rref1(1st)とRref1(2nd)との大小関係=Rref2(1st)とRref2(2nd)との大小関係)を求める。すなわち、互いに一致している信号Q1と信号Q2とが、「0」か「1」かを判定する。

(9)ステップS69

低抵抗の場合を「0」、高抵抗の場合を「1」とすれば、Rref(1st) < Rref(2nd)であれば(ステップS68:yes)、読み出し結果(センス結果)は「0」である。すなわち、元々(ステップS64の書き込み動作より前)の選択参照セル14rsのデータは「0」である。ただし、ステップS69時点では、選択参照セル14rsのデータは「1」である。

(10)ステップS70

Rref(1st) > Rref(2nd) であれば(ステップS68: no)、読み出し結果(センス結果)は「1」である。すなわち、元々(ステップS64の書き込み動作より前)の選択参照セル14rsのデータは「1」である。ただし、ステップS70時点では、選択参照セル14rsのデータは「0」である。

(11)ステップS71

選択参照セル14rsについて、再び、書き込み動作(第2のトグル動作)を行う。書き込み動作(トグル動作)については、図4～図6の説明に記載の通りである。これにより、選択参照セル14rsのデータは、元々のデータに戻る。

[0098] 図16に示す第2のセンスアンプにおいて、図21の読み出し動作の場合、ステップS69又はステップS70の読み出しデータとして、判定回路48aのセンス結果DOUTを用いることができる。すなわち、このような第2のセンスアンプ3を用いることで、他のセルのデータと比較すること無く、トグルMRAMにおける参照セルのデータを読み出すことができる。

[0099] 以上、本発明の実施の形態を図面により詳述してきたが、具体的な構成は上記の実施の形態に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更を行うことも可能である。例えば、メモリセルの構成は図8で示したものに限られず、当業者にはよく知られた選択トランジスタを有しないクロスポイント型のメモリセルであっても良い。また、第2の実施の形態において、第1及び第2の抵抗-電圧変換回路は第2のセンス動作時においてオフセット電圧をそれぞれ加減しても良い。

請求の範囲

[1] 第1方向に延伸する複数の第1配線と、
前記第1方向に実質的に垂直な第2方向に延伸する複数の第2配線と、
前記複数の第1配線と前記複数の第2配線とが交差する位置のそれぞれに対応して設けられた複数のメモリセルと、
前記複数のメモリセルのうち、前記複数の第2配線のうちの参照配線に対応して設けられた複数の参照セルからの出力に基づいて、前記参照セルの状態を検出する第2センスアンプと、
前記参照セルと異なる前記メモリセルからの出力と前記参照セルからの出力とに基づいて、当該メモリセルの状態を検出する第1センスアンプと
を具備し、
前記複数のメモリセルの各々は、
記憶されるデータに応じて磁化方向が反転される積層フリ一層を有する磁気抵抗素子含み、
前記磁気抵抗素子は、磁化容易軸方向が前記第1及び第2の方向とは異なる磁気ランダムアクセスメモリ。

[2] 請求項1に記載の磁気ランダムアクセスメモリにおいて、
前記複数の第1配線から選択される選択第1配線と前記複数の第2配線から選択される選択第2配線とに対応するメモリセルとしての選択セルについて、前記積層フリ一層の磁化を反転させるトグル動作は、
前記選択第1配線に第1書き込み電流を供給し、次に、前記選択第2配線に第2書き込み電流を供給し、その後、前記第1書き込み電流を停止し、次に、前記第2書き込み電流を停止する一連の電流制御により実行される
磁気ランダムアクセスメモリ。

[3] 請求項2に記載の磁気ランダムアクセスメモリにおいて、
前記第1書き込み電流及び前記第2書き込み電流は、前記参照セルに対して前記トグル動作を行う場合の方が、前記参照セルと異なる前記メモリセルに対して前記トグル動作を行う場合よりも大きい

磁気ランダムアクセスメモリ。

[4] 請求項2に記載の磁気ランダムアクセスメモリにおいて、
前記参照セルの記憶情報の読み出しは、
前記参照セルの最初の状態としての第1状態を検出する第1読み出し動作と、
前記参照セルを前記トグル動作により第2状態にする第1トグル動作と、
前記参照セルの前記第2状態を検出する第2読み出し動作と、
前記参照セルを前記トグル動作により前記第1状態に戻す第2トグル動作と
を実行し、
前記第1状態と前記第2状態との比較結果に基づいて、前記参照セルの記憶情報
を読み出す

磁気ランダムアクセスメモリ。

[5] 請求項2に記載の磁気ランダムアクセスメモリにおいて、
前記参照セルの記憶情報の書き込みは、
前記参照セルの最初の状態としての第1状態を検出する第1読み出し動作と、
前記参照セルを前記トグル動作により第2状態にする第1トグル動作と、
前記参照セルの前記第2状態を検出する第2読み出し動作と、
前記第1状態と前記第2状態との比較結果に基づいて、前記第1状態又は前記第2
状態を判定する判定動作と
を実行し、
前記第2状態が前記参照セルに書き込もうとしている記憶情報と同じ場合、前記第
2状態を維持し、異なる場合、前記参照セルを前記トグル動作により前記第1状態に
戻すことで書き込みを行う

磁気ランダムアクセスメモリ。

[6] 請求項4に記載の磁気ランダムアクセスメモリにおいて、
第2センスアンプは、
前記参照セルの前記磁気抵抗素子の抵抗値を検出して出力電圧に変換する抵抗
電圧変換部と、
前記出力電圧を一時的に保持する記憶部と、

前記トグル動作後の前記出力電圧と、前記記憶部に格納されている前記トグル動作前の前記出力電圧に基づいて、前記参照セルに格納されていた記憶情報を判定する判定部と

を備える

磁気ランダムアクセスメモリ。

[7] 請求項6に記載の磁気ランダムアクセスメモリにおいて、

前記記憶部は、

入力側を前記抵抗電圧変換部の出力側に接続された第1スイッチ部と、

入力側を前記第1スイッチ部の出力側に接続されたキャパシタと
を備え、

前記判定部は、

入力側を前記キャパシタの出力側に接続されたインバータと、

前記インバータの入出力間に並列に接続された第2スイッチ部と
を備える

磁気ランダムアクセスメモリ。

[8] 請求項7に記載の半導体記憶装置において、

前記第1読み出し動作時に前記第1スイッチ部及び前記第2スイッチ部が共にオンの状態であり、

前記第2読み出し動作開始前に前記第1スイッチ部がオフの状態であり、

前記第2読み出し動作時に前記第2スイッチ部をオフの状態にし、その直後に前記第1スイッチ部を再びオンの状態にし、

前記第2読み出し動作時における前記インバータの出力が前記参照セルの記憶情報である

磁気ランダムアクセスメモリ。

[9] 請求項4に記載の磁気ランダムアクセスメモリにおいて、

前記第2センスアンプは、前記第1トグル動作が行われたか否かを検出し、前記第1トグル動作が行われなかつたと判定された場合は、前記第1書き込み電流及び前記第2書き込み電流を増大させ、再度、第1読み出し動作から実行する

磁気ランダムアクセスメモリ。

[10] 請求項9に記載の磁気ランダムアクセスメモリにおいて、

第2センスアンプは、

前記参照セルの前記磁気抵抗素子の抵抗値を検出して、第1出力電圧とする第1抵抗電圧変換部と、

前記第1出力電圧を一時的に保持する第1記憶部と、

前記トグル動作後の前記第1出力電圧と、前記第1記憶部に格納されている前記トグル動作前の前記第1出力電圧とに基づいて、前記参照セルに格納されていた記憶情報を判定して、判定結果を示す第1信号とする第1判定部と、

前記参照セルの前記磁気抵抗素子の抵抗値を検出して、第2出力電圧とする第2抵抗電圧変換部と、

前記第2出力電圧を一時的に保持する第2記憶部と、

前記トグル動作後の前記第2出力電圧と、前記第2記憶部に格納されている前記トグル動作前の前記第2出力電圧とに基づいて、前記参照セルに格納されていた記憶情報を判定して、判定結果を示す第2信号とする第2判定部と、

前記第1信号と前記第2信号とに基づいて、前記第1トグル動作が行われたか否かを判定する判定部と

を備える

磁気ランダムアクセスメモリ。

[11] 請求項10に記載の磁気ランダムアクセスメモリにおいて、

前記第1出力電圧は、前記第1読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第1オフセット電圧を加算したものであり、前記第2読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、

前記第2出力電圧は、前記第1読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第2オフセット電圧を加算したものであり、前記第2読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、

前記第1オフセット電圧の符号と前記第2オフセット電圧の符号とは逆である
磁気ランダムアクセスメモリ。

[12]

請求項10に記載の磁気ランダムアクセスメモリにおいて、

前記第1出力電圧は、前記第1読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第1オフセット電圧を加算したものであり、前記第2読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、

前記第2出力電圧は、前記第1読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換したものであり、前記第2読み出し動作時では、前記磁気抵抗素子の抵抗値を検出して電圧に変換した後、第2オフセット電圧を加算したものであり、

前記第1オフセット電圧の符号と前記第2オフセット電圧の符号とは同じである
磁気ランダムアクセスメモリ。

[13]

請求項11に記載の磁気ランダムアクセスメモリにおいて、

前記第1記憶部は、

入力側を前記第1抵抗電圧変換部の出力側に接続された第1スイッチ部と、

入力側を前記第1のスイッチの出力側に接続された第1キャパシタと

を備え、

前記第1判定部は、

入力側を前記第1キャパシタの出力側に接続された第1インバータと、

前記第1インバータの入出力間に並列に接続された第2スイッチ部と

を備え、

前記第2記憶部は、

入力側を前記第1抵抗電圧変換部の出力側に接続された第3スイッチ部と、

入力側を前記第3のスイッチの出力側に接続された第2キャパシタと

を備え、

前記第2判定部は、

入力側を前記第2キャパシタの出力側に接続された第2インバータと、

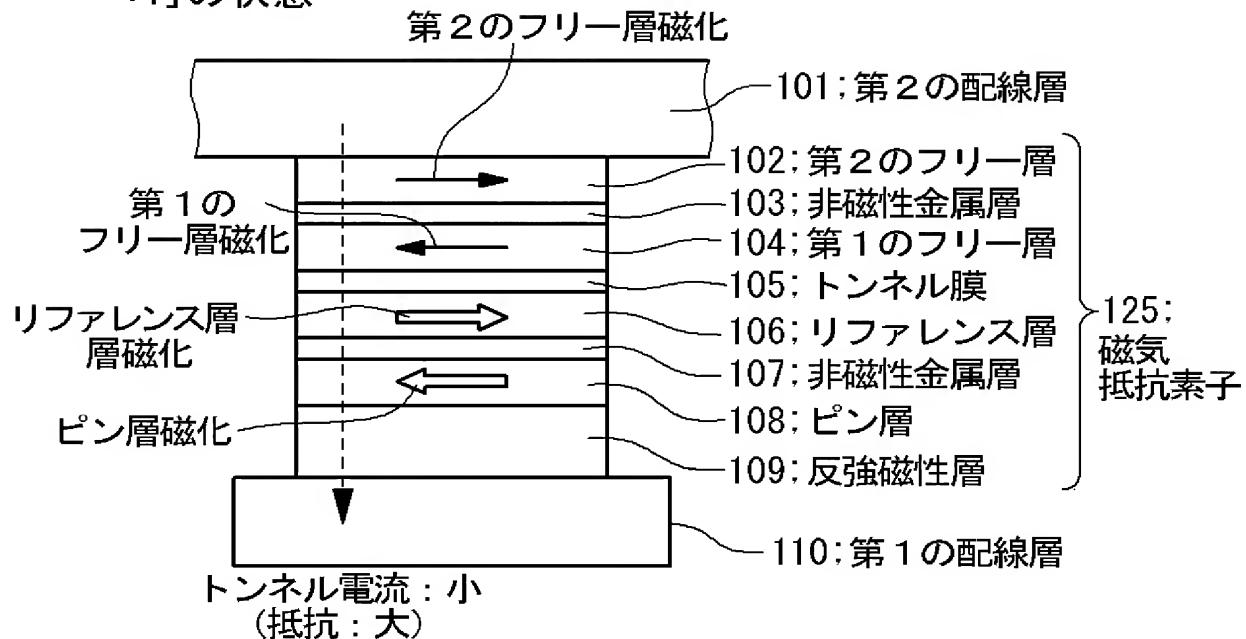
前記第2インバータの入出力間に並列に接続された第4スイッチ部と
を備える

磁気ランダムアクセスメモリ。

[14] 請求項13に記載の磁気ランダムアクセスメモリにおいて、
前記第1読み出し動作時に前記第1スイッチ部、前記第2スイッチ部、前記第3スイッ
チ部及び前記第4スイッチ部が共にオンの状態であり、
前記第2読み出し動作開始前に前記第1スイッチ部及び第3スイッチ部がオフの状
態であり、
前記第2読み出し動作時に前記第2スイッチ部及び第4スイッチ部をオフの状態にし
、その直後に前記第1スイッチ部及び第3スイッチ部を再びオンの状態にし、
前記第2読み出し動作時における前記判定部の出力が前記参照セルの記憶情報
である
磁気ランダムアクセスメモリ。

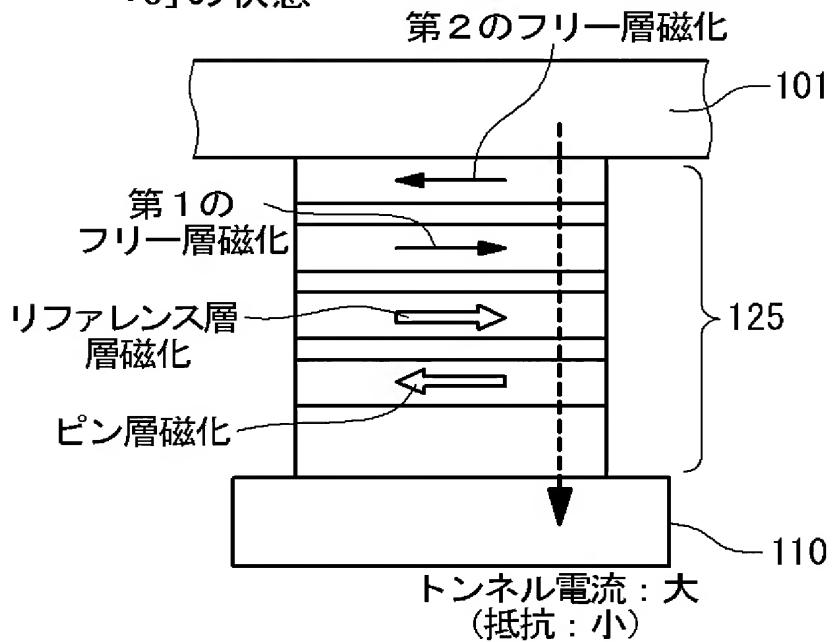
[図1]

「1」の状態

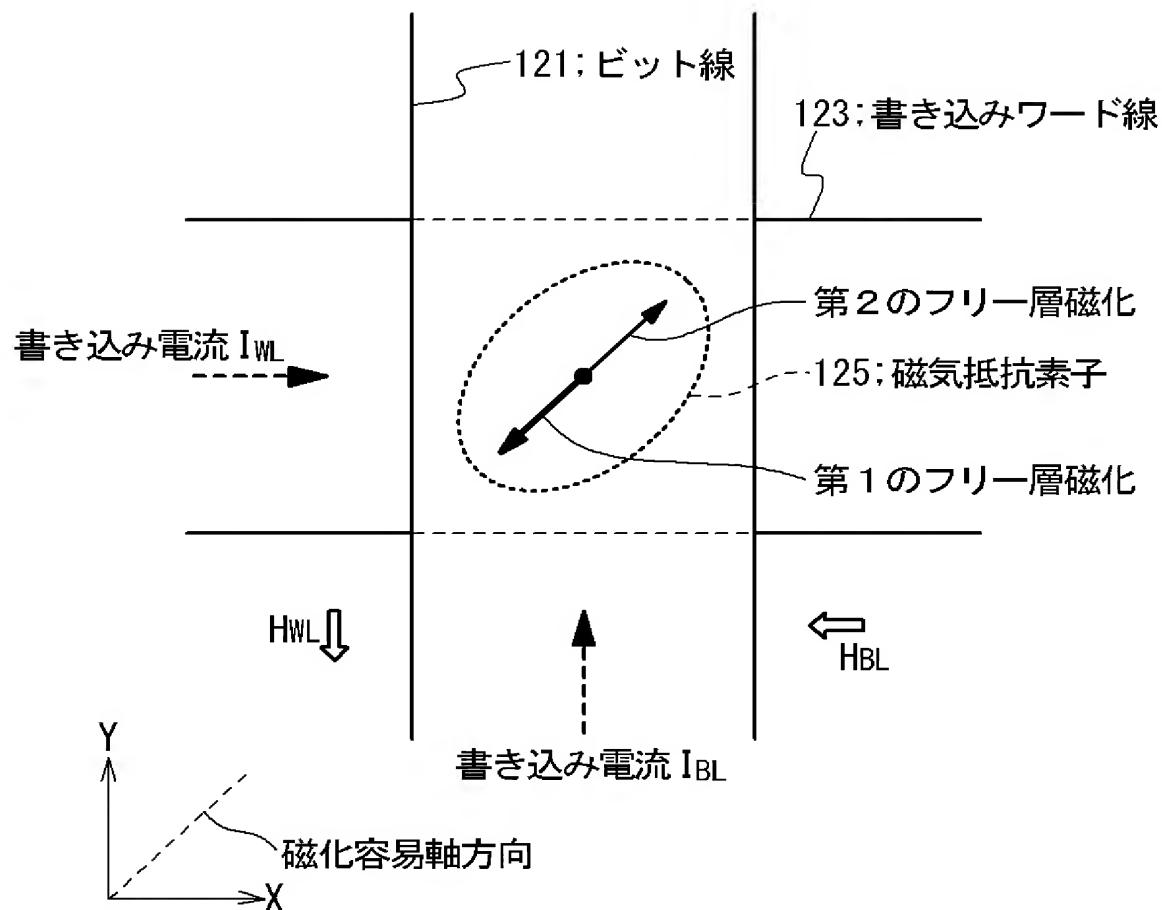


[図2]

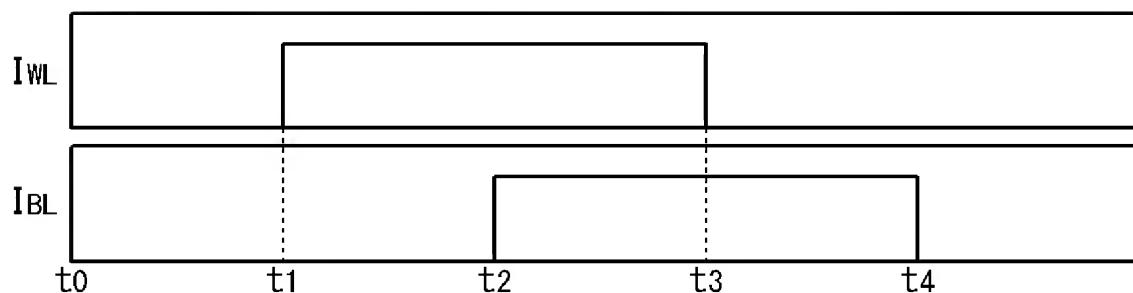
「0」の状態



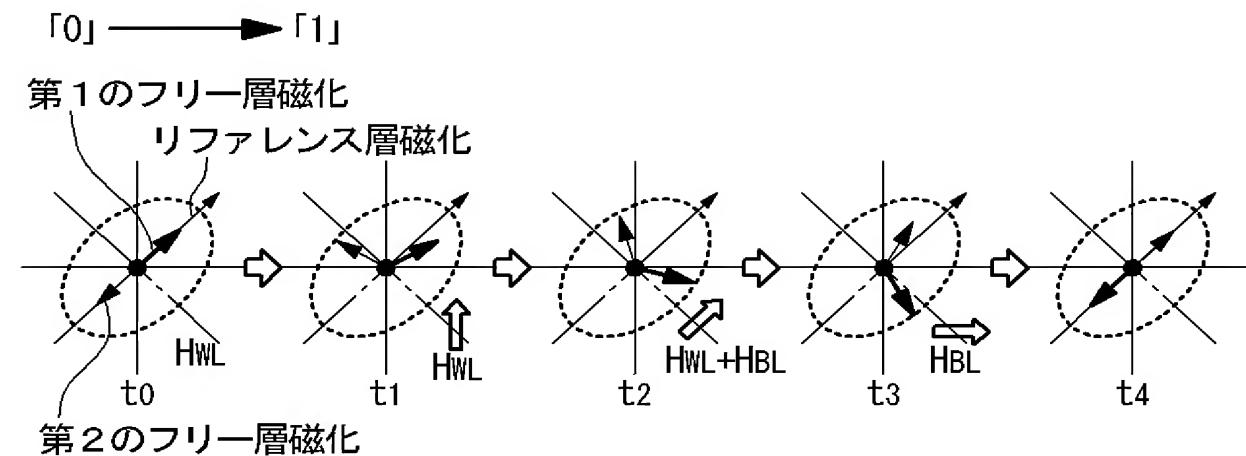
[図3]



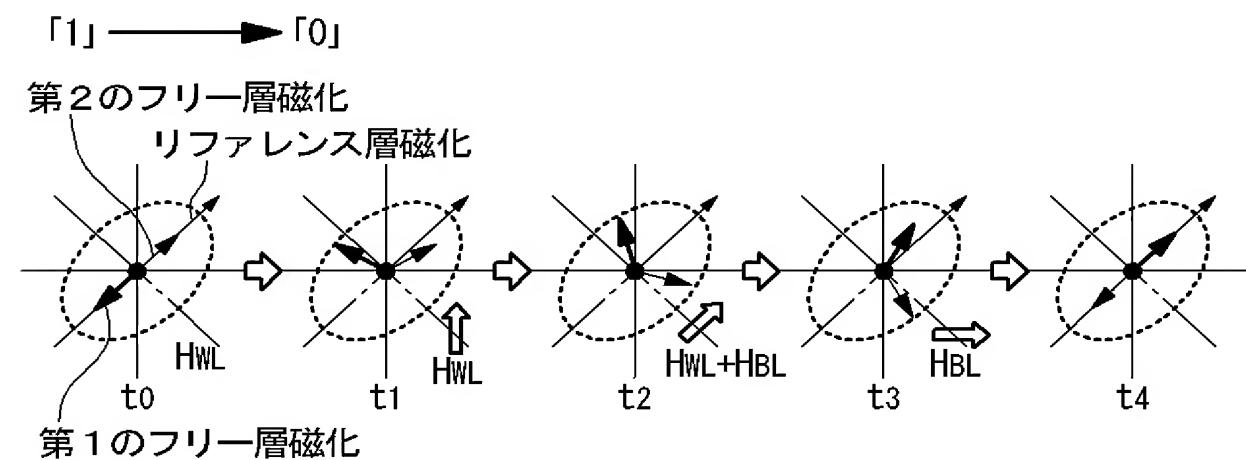
[図4]



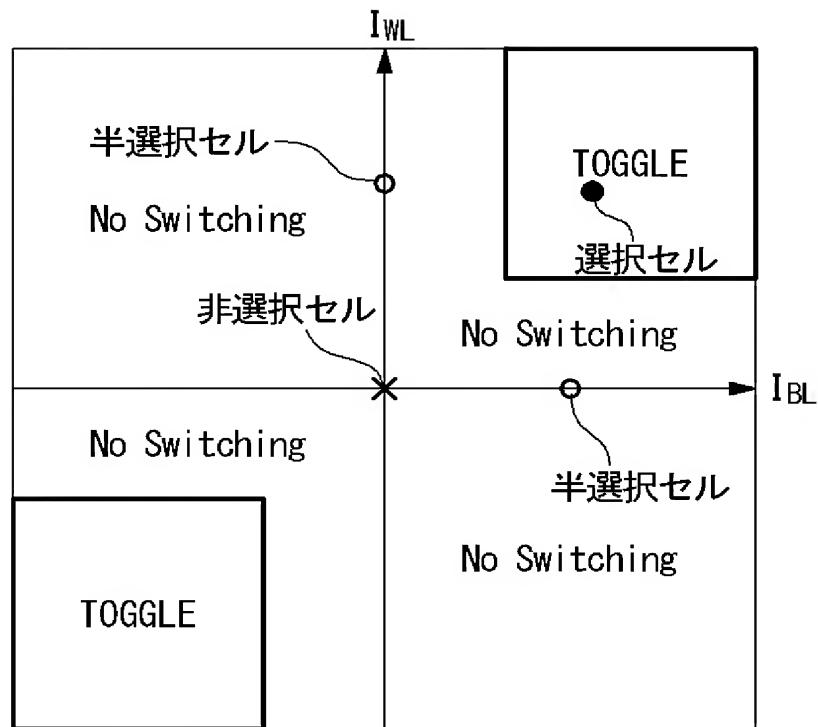
[図5]



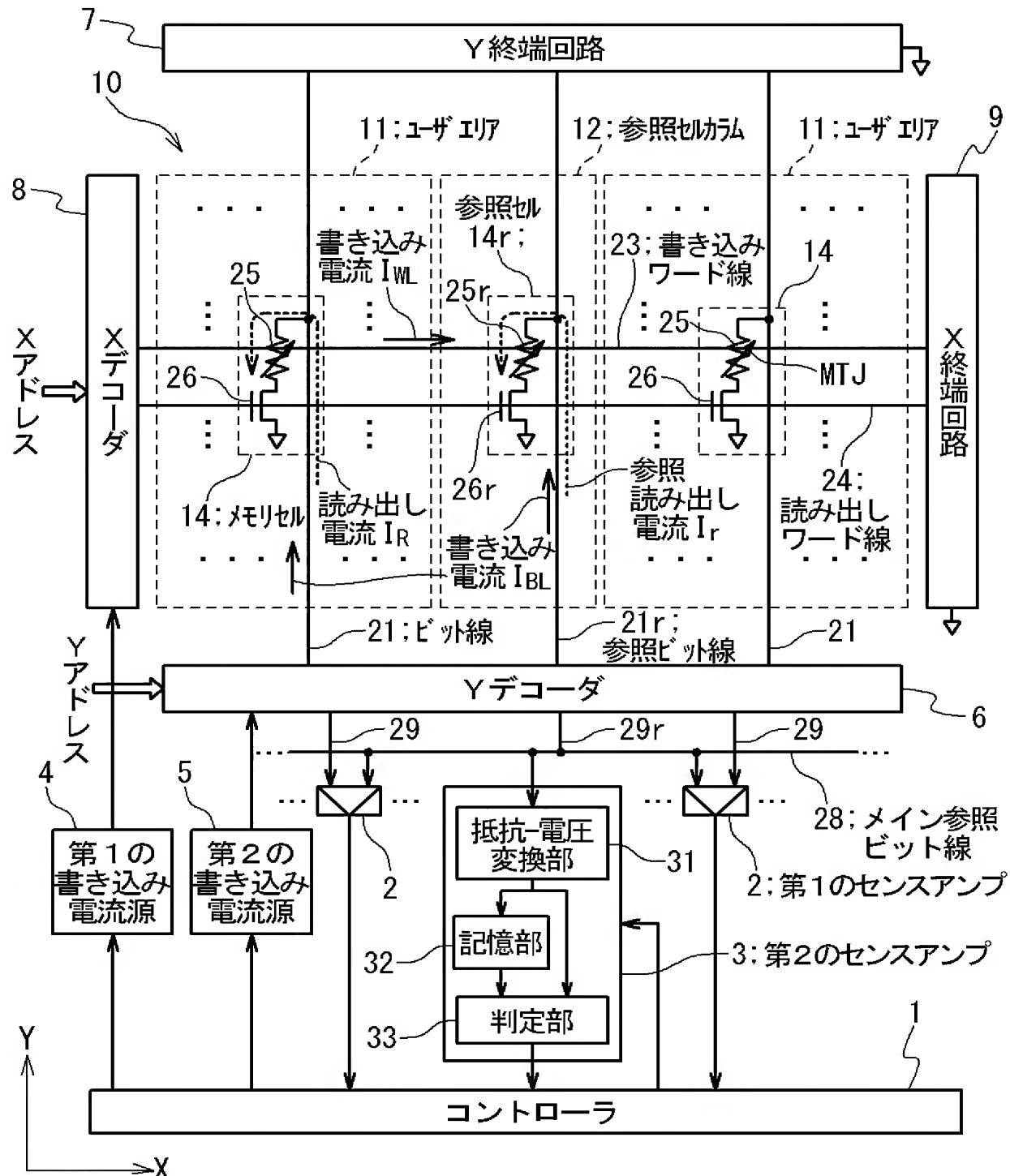
[図6]



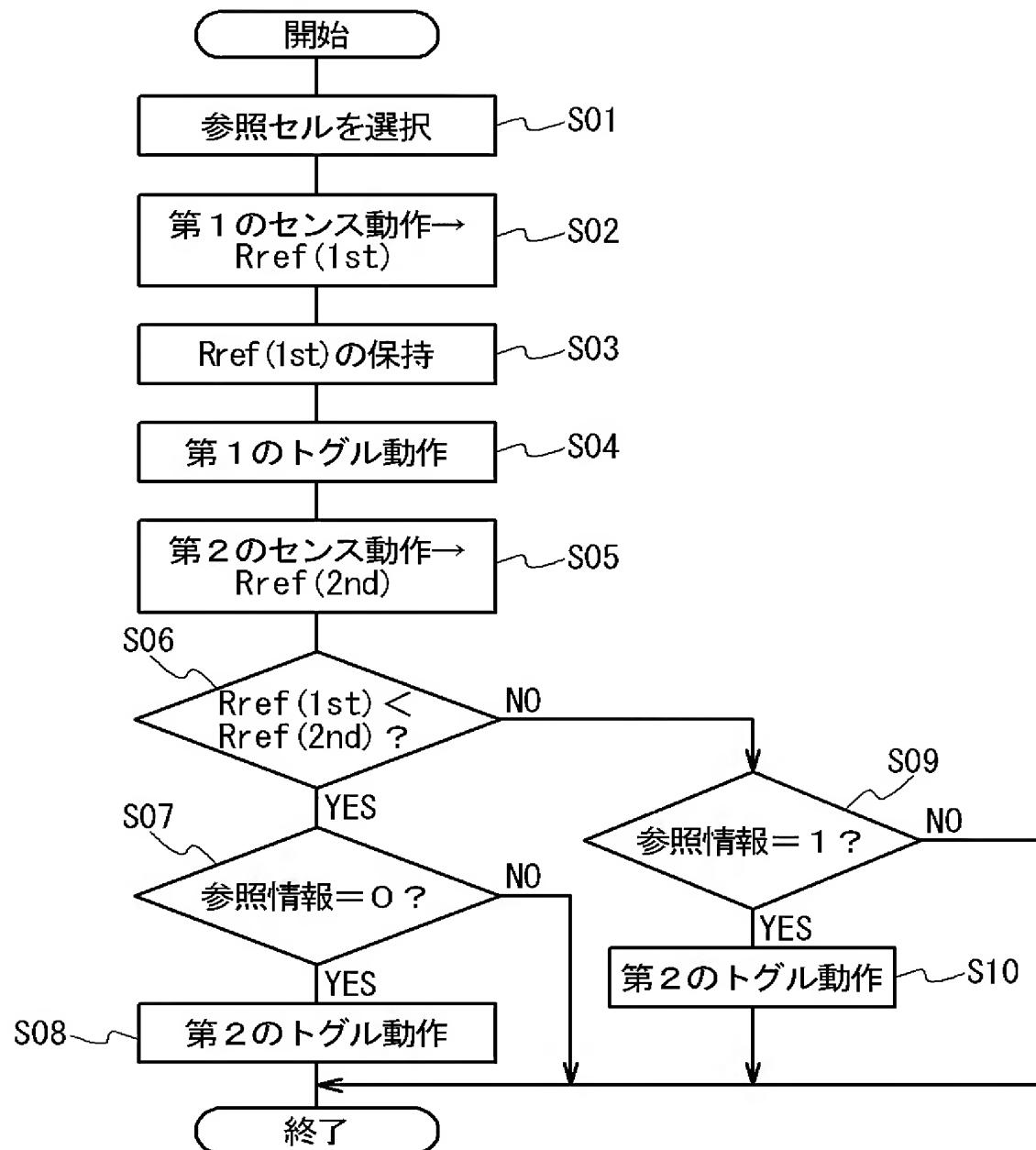
[図7]



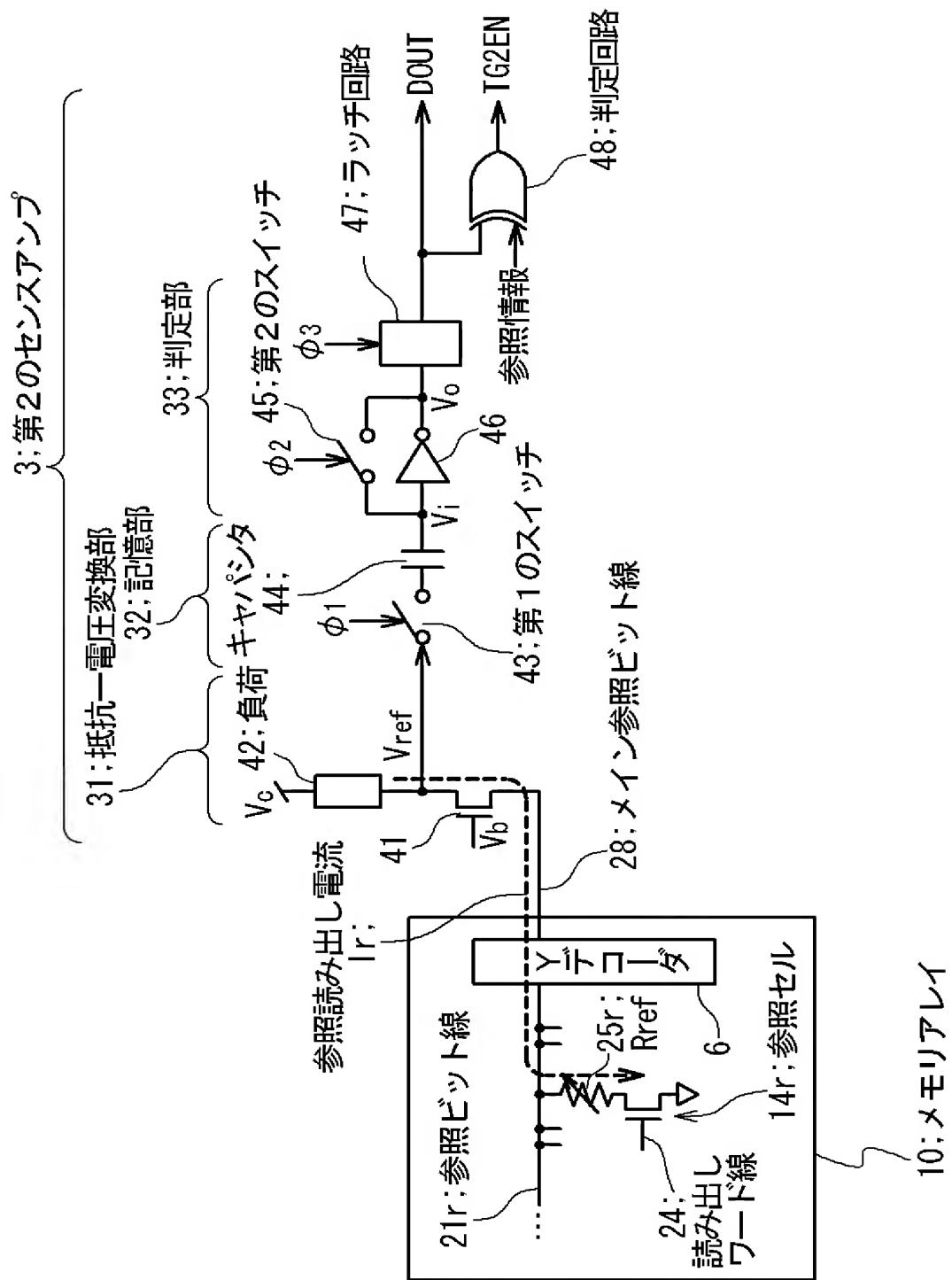
[図8]



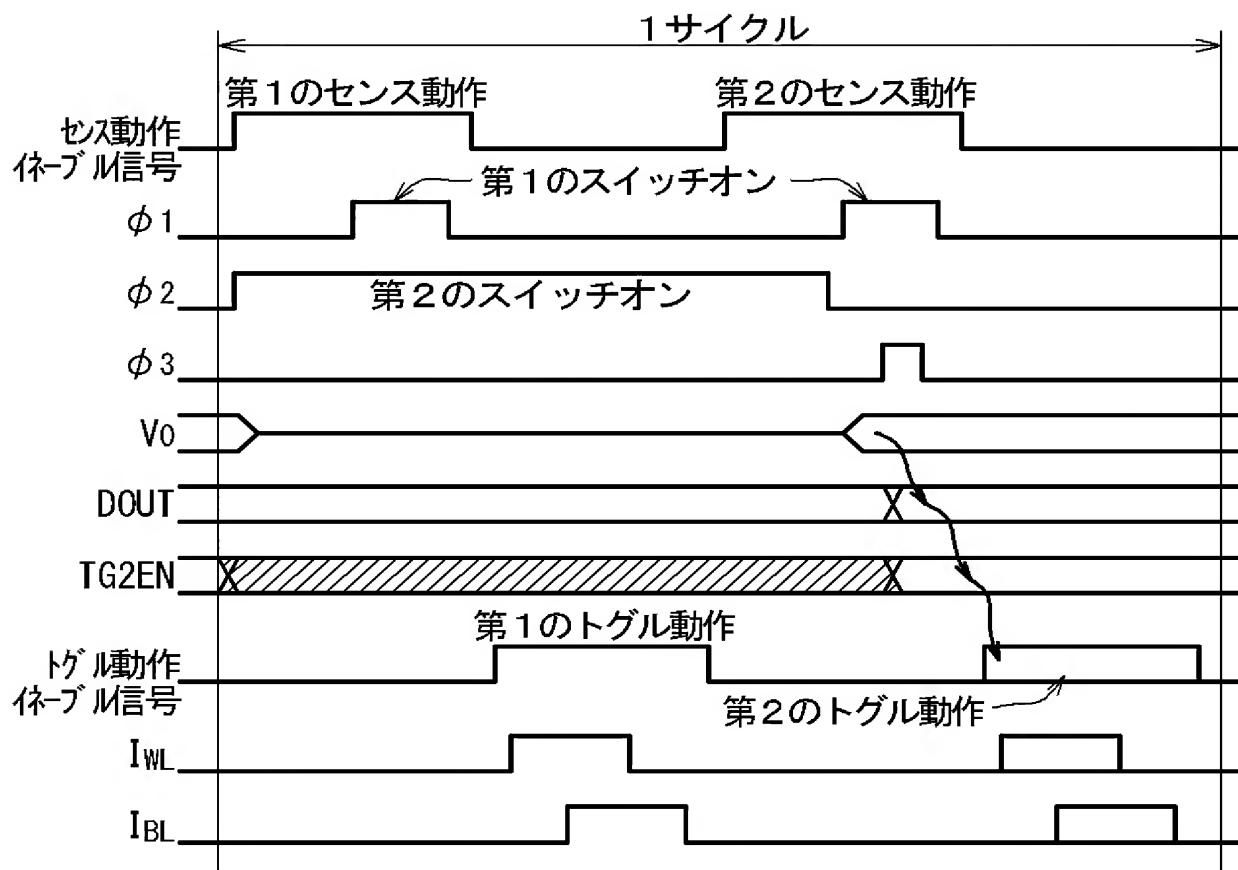
[図9]



[図10]

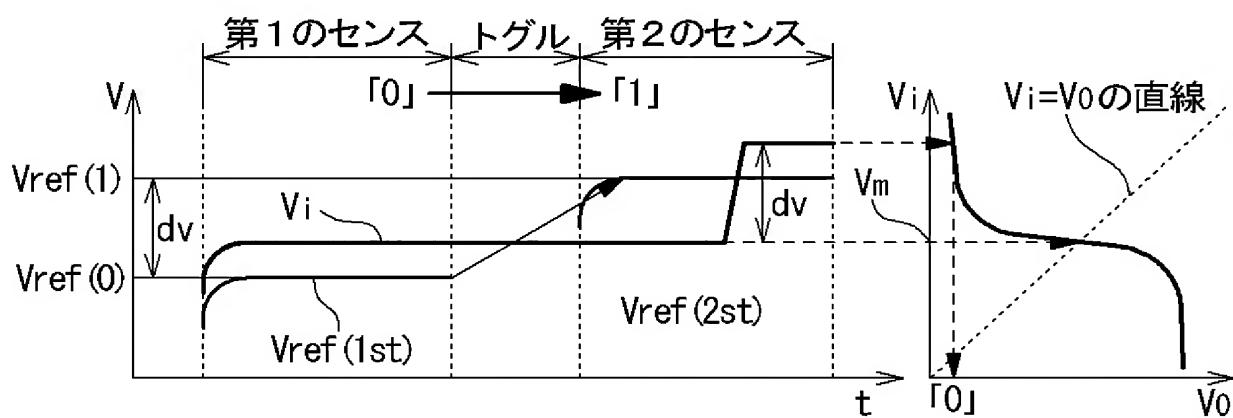


[図11]



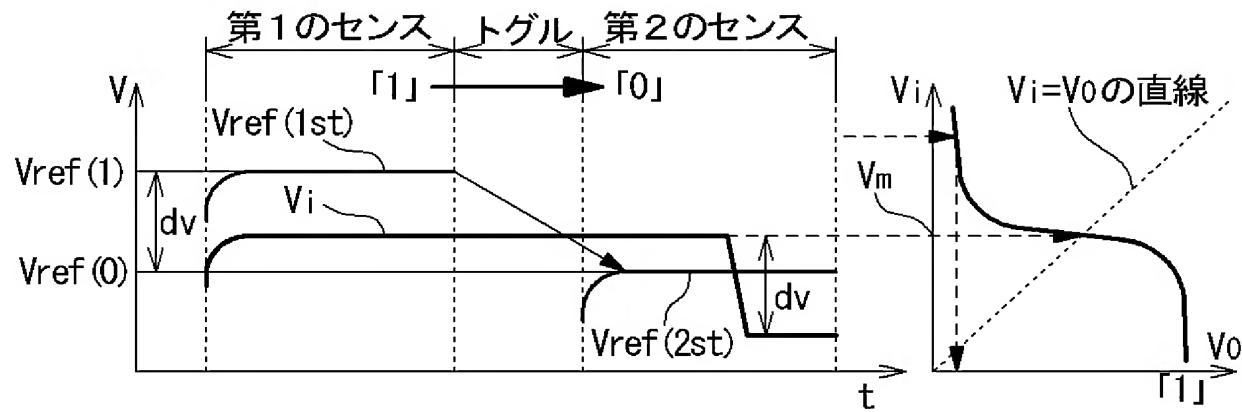
[図12]

DOUT='0'の場合

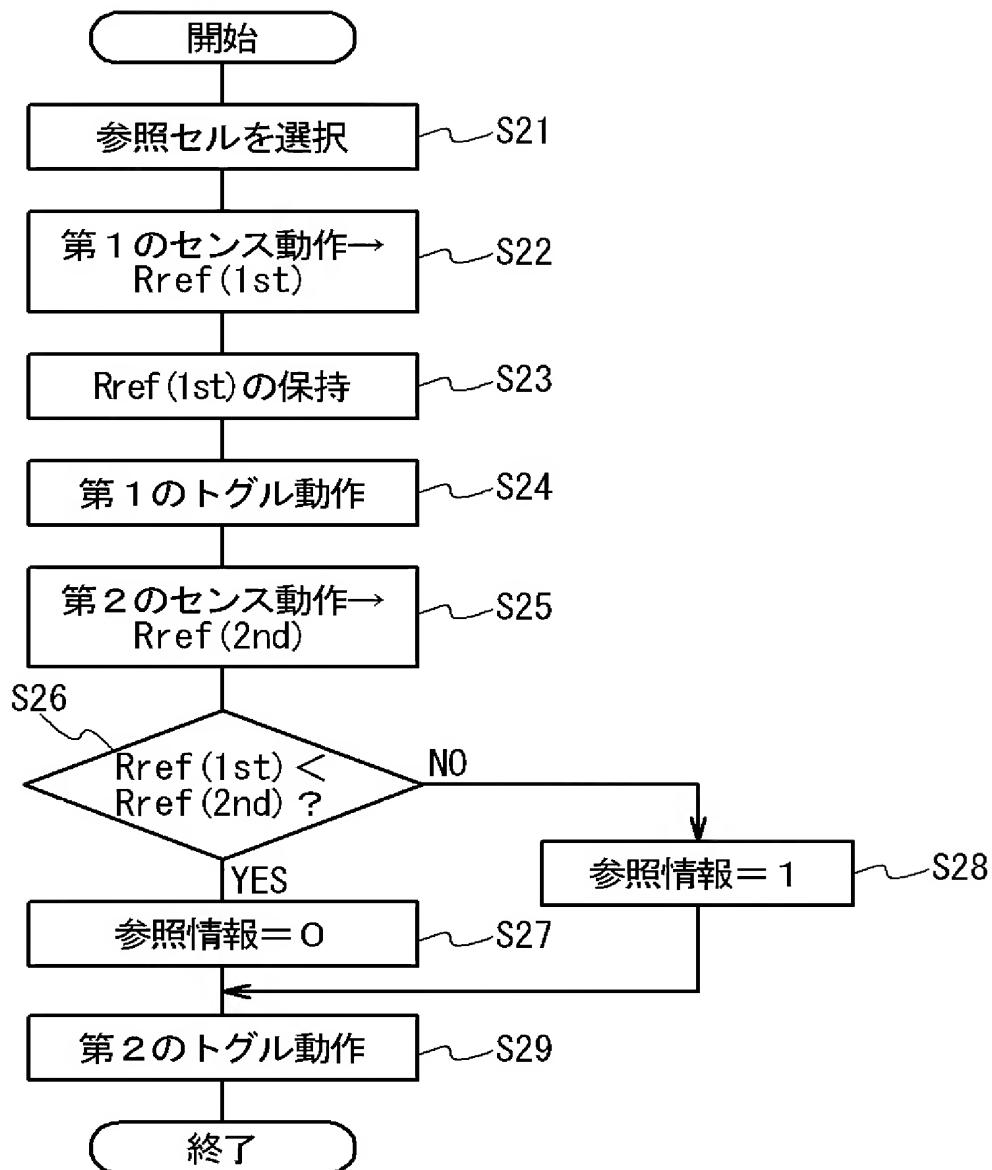


[図13]

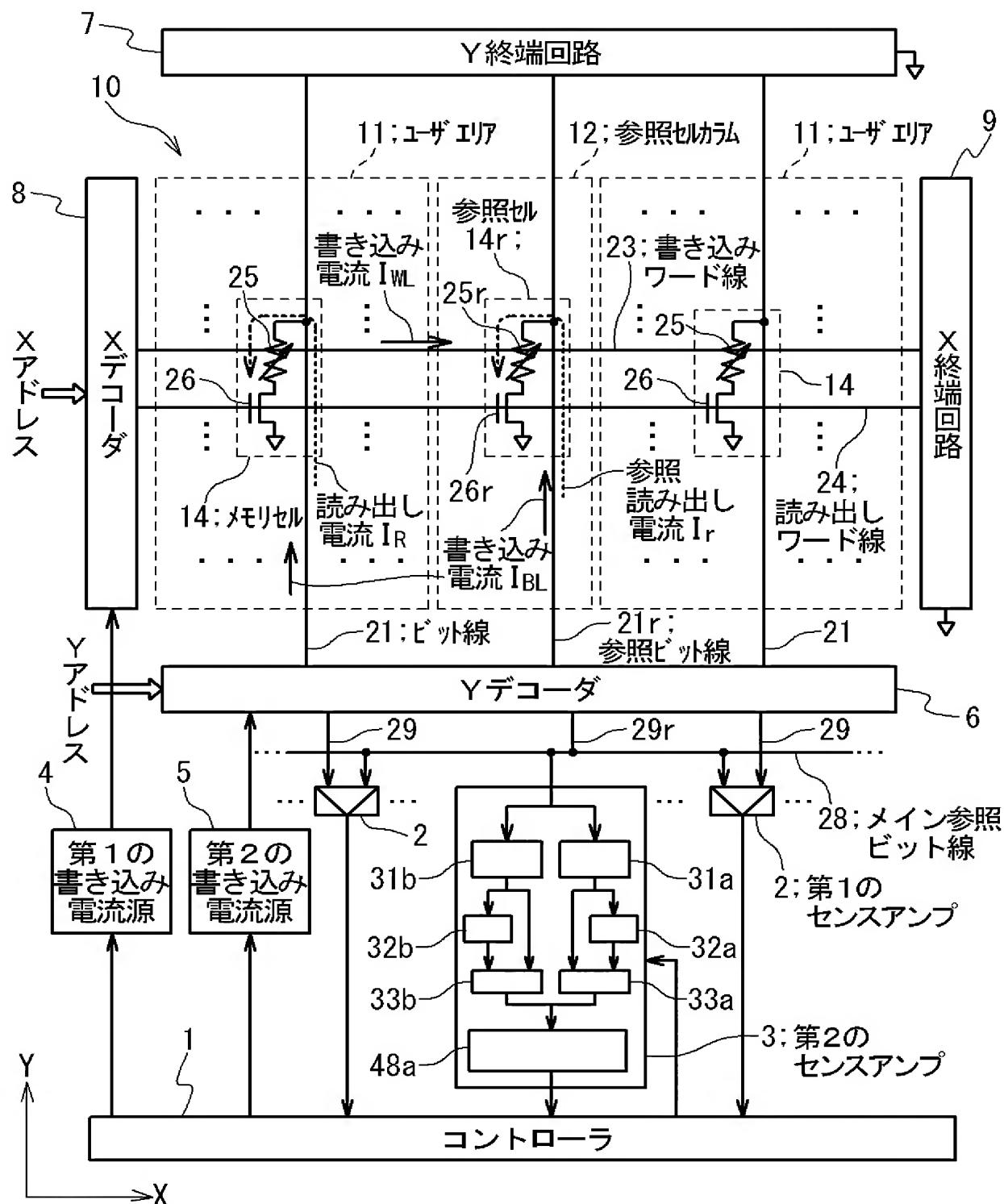
DOUT='1'の場合



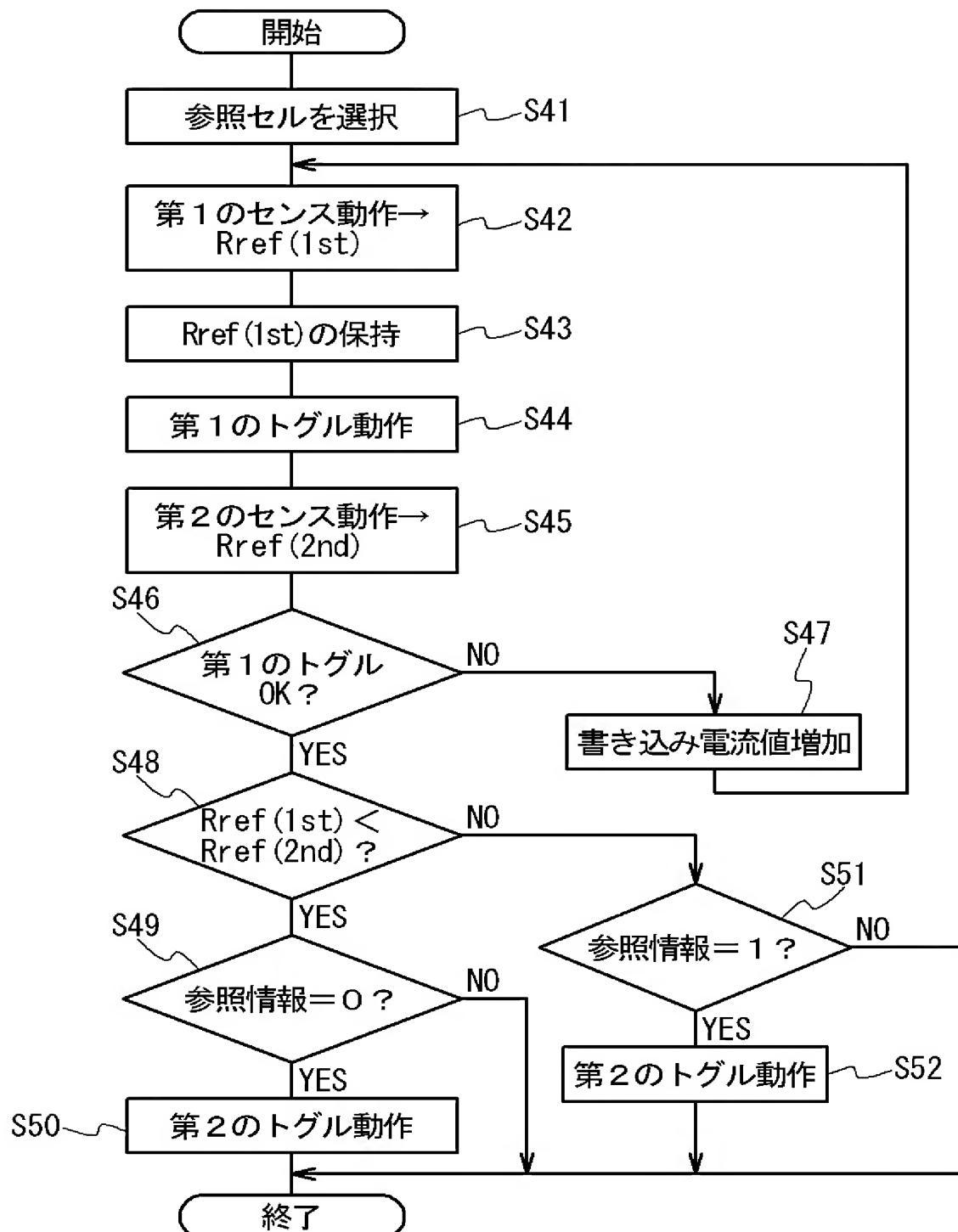
[図14]



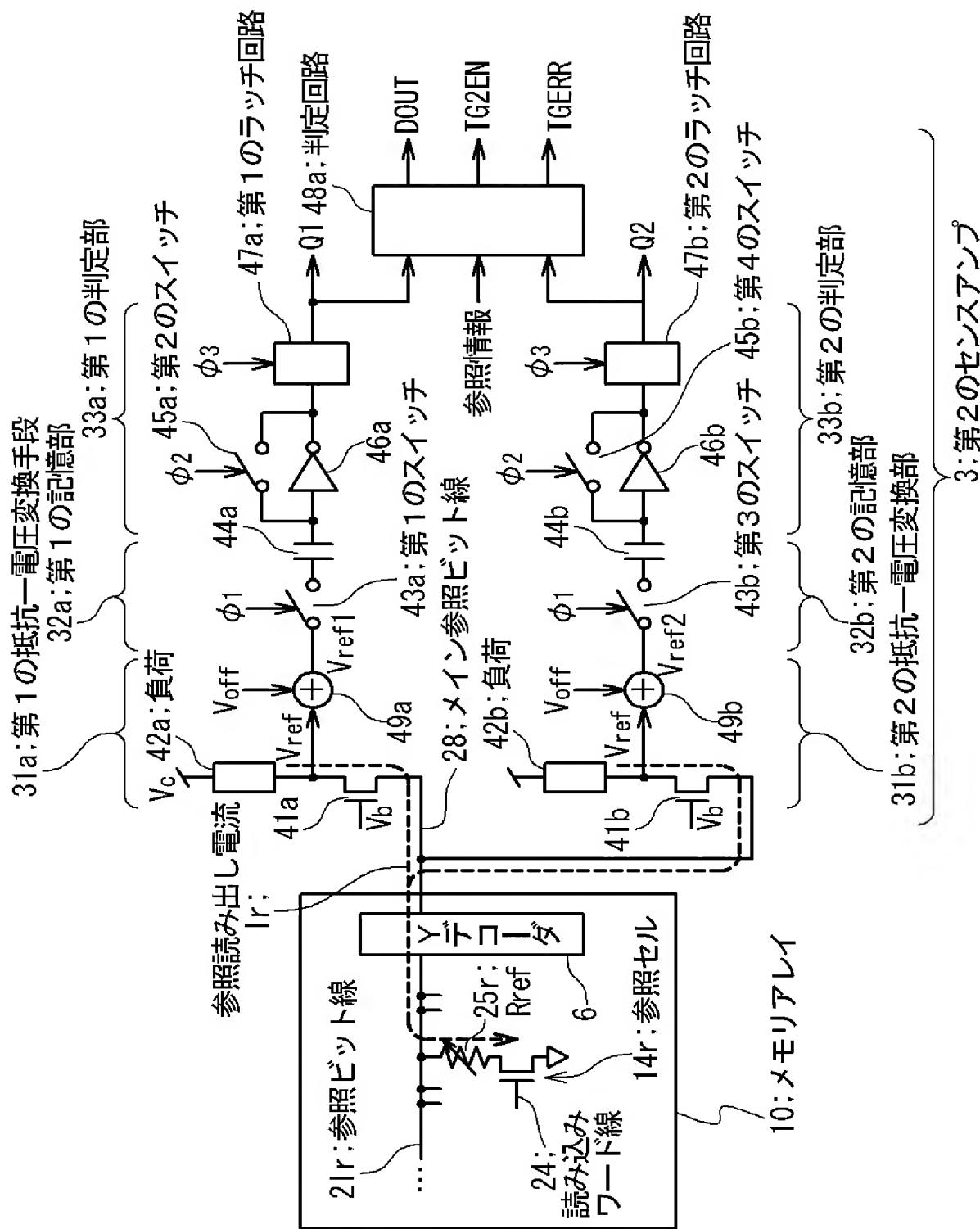
[図15]



[図16]



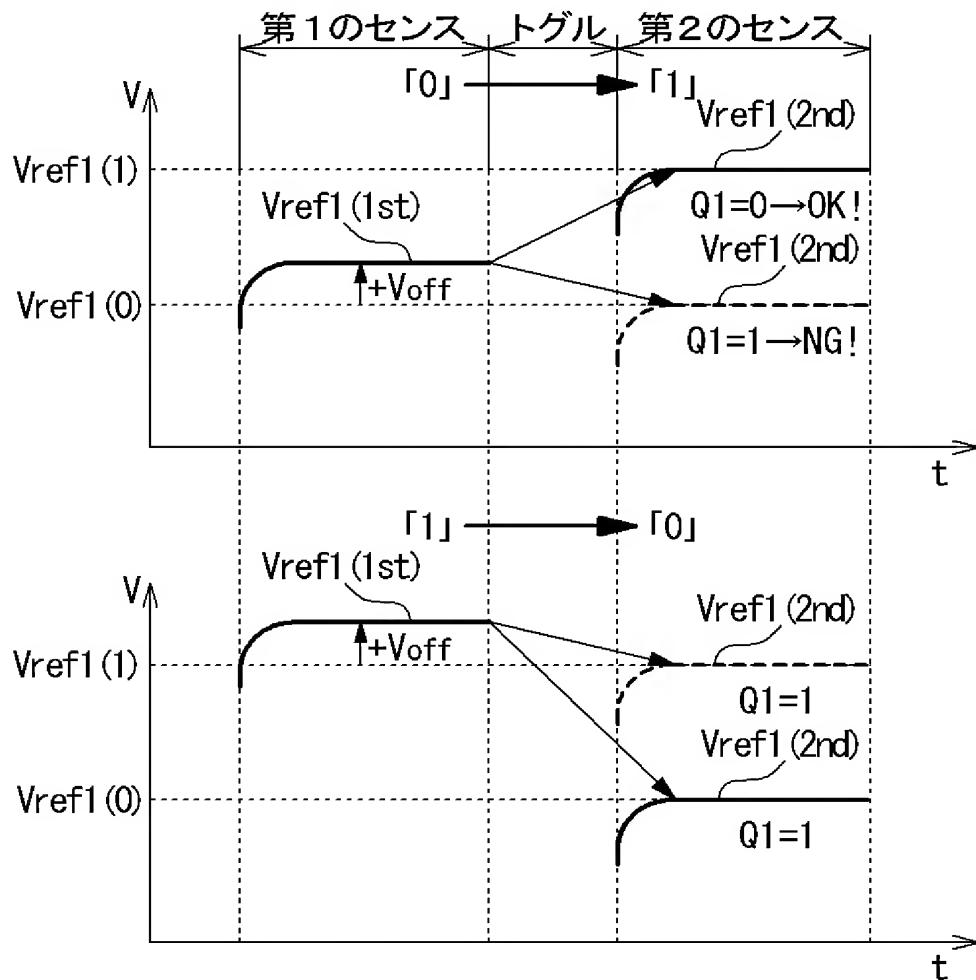
[図17]



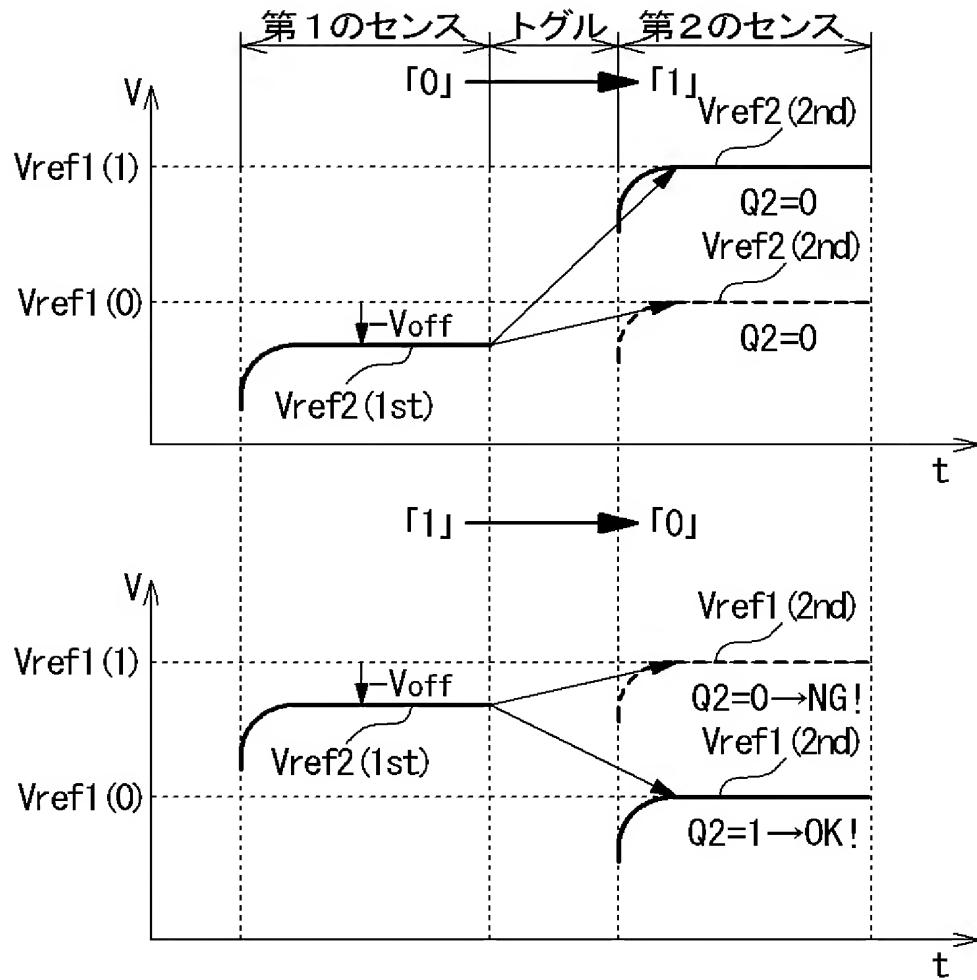
[図18]

ID	参照情報	Q1	Q2	DOUT	TG2EN	TGERR
1	0	0	0	0	1	0
2	0	0	1	X	0	1
3	0	1	0	X	0	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	X	0	1
7	1	1	0	X	0	1
8	1	1	1	1	1	0

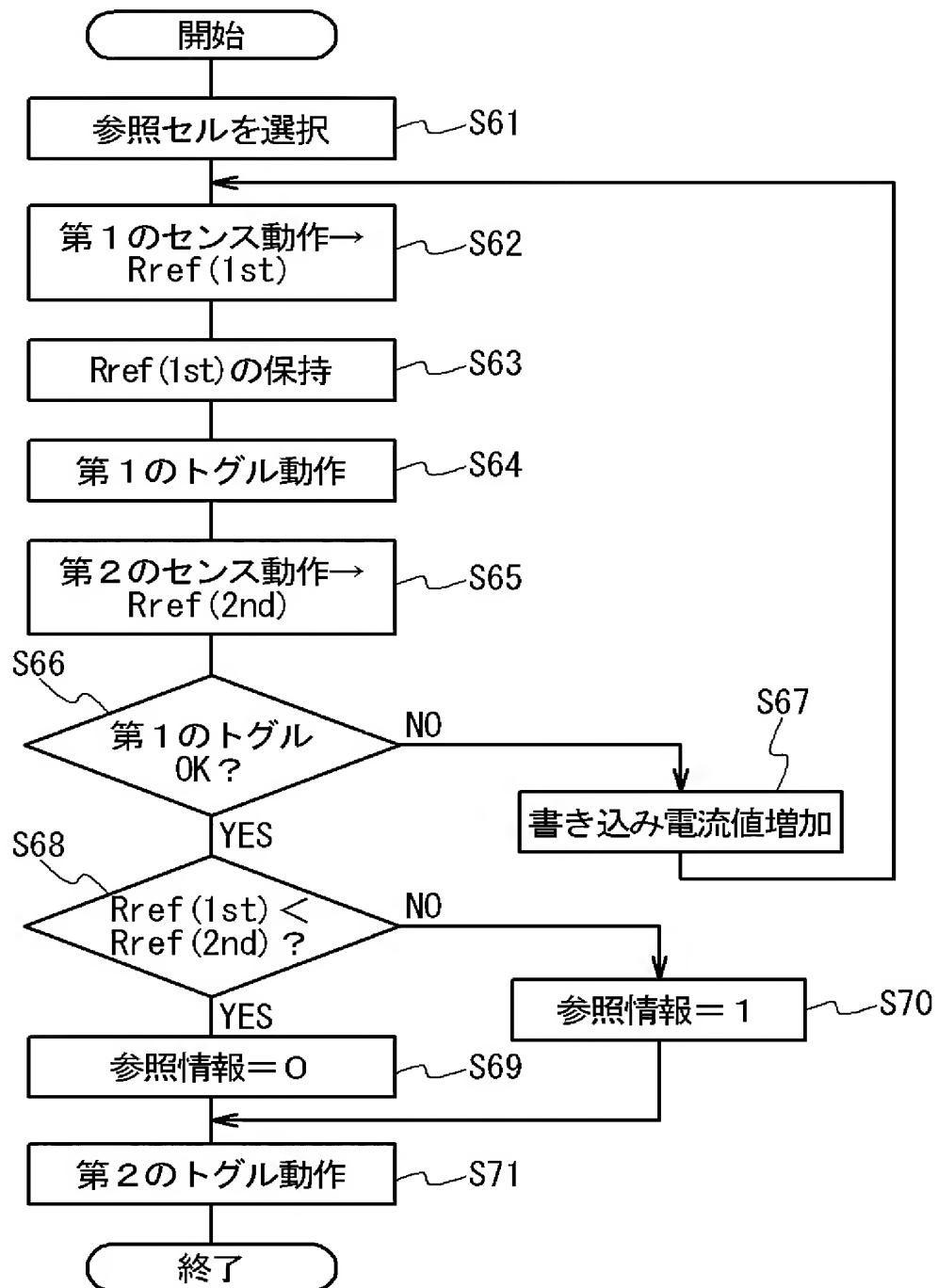
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003482

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl⁷ G11C11/15, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl⁷ G11C11/15, H01L27/10, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-039150 A (NEC Corp.), 05 February, 2004 (05.02.04), Par. Nos. [0066] to [0071], [0081] to [0095]; Figs. 1, 4, 7 & US 2004/004856 A1	1, 2, 4-6 3, 7-14
Y	WO 2003/034437 A2 (MOTOROLA, INC.), 24 April, 2003 (24.04.03), Full text; all drawings & JP 2005-505889 A & US 2003/0072174 A1 & EP 1474807 A2 & KR 2004/058244 A	1, 2, 4-6
A	JP 2003-151262 A (Toshiba Corp.), 23 May, 2003 (23.05.03), Par. Nos. [0014] to [0017], [0623] to [0654]; drawings; Figs. 2, 42 to 44 & US 2003/0090934 A1 & KR 2003/040129 A	4-6

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
 27 May, 2005 (27.05.05)

Date of mailing of the international search report
 14 June, 2005 (14.06.05)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003482

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2003/043018 A1 (MOTOROLA, INC.), 22 May, 2003 (22.05.03), Full text; all drawings & JP 2005-510048 A & US 6531723 B2 & EP 1449219 A1 & KR 2004/058245 A	1-3
A	JP 2001-250999 A (MOTOROLA, INC.), 14 September, 2001 (14.09.01), Full text; all drawings & US 6233172 B1 & EP 1109168 A2 & KR 2001/062357 A	1-3
A	JP 2002-140889 A (Canon Inc.), 17 May, 2002 (17.05.02), Full text; all drawings & US 2002/0057594 A1	4-14
A	JP 2001-184857 A (Hewlett-Packard Co.), 06 July, 2001 (06.07.01), Full text; all drawings & US 6188615 B1 & EP 1096501 A1	4-14

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl.⁷ G11C11/15, H01L27/10

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl.⁷ G11C11/15, H01L27/10, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名・及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2004-039150 A (日本電気株式会社) 2004.02.05 段落 0066-0071, 0081-0095, 図面 1, 4, 7 図 & US 2004/004856 A1	1, 2, 4-6 3, 7-14
Y	WO 2003/034437 A2 (MOTOROLA, INC) 2003.04.24 全文, 全図 & JP 2005-505889 A & US 2003/0072174 A1 & EP 1474807 A2 & KR 2004/058244 A	1, 2, 4-6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

27.05.2005

国際調査報告の発送日

14.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

飯田 清司

5N 8731

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 2003-151262 A (株式会社東芝) 2003.05.23 段落 0014-0017, 0623-0654, 図面 2, 42-44 図 & US 2003/0090934 A1 & KR 2003/040129 A	4-6
A	WO 2003/043018 A1 (MOTOROLA, INC) 2003.05.22 全文, 全図 & JP 2005-510048 A & US 6531723 B2 & EP 1449219 A1 & KR 2004/058245 A	1-3
A	JP 2001-250999 A (モトローラ・インコーポ・レイテッド) 2001.09.14 全文, 全図 & US 6233172 B1 & EP 1109168 A2 & KR 2001/062357 A	1-3
A	JP 2002-140889 A (キャノン株式会社) 2002.05.17 全文, 全図 & US 2002/0057594 A1	4-14
A	JP 2001-184857 A (ヒューレット・パッカード・カンパニー) 2001.07.06 全文, 全図 & US 6188615 B1 & EP 1096501 A1	4-14